

## FRAME ASSEMBLING DEVICE

Patent Number: JP9312652  
Publication date: 1997-12-02  
Inventor(s): TANAKA KENTARO; MIURA SHIN; NAKAJIMA KOICHI  
Applicant(s):: MITSUBISHI ELECTRIC CORP  
Requested Patent: ☐ JP9312652  
Application Number: JP19960128539 19960523  
Priority Number(s):  
IPC Classification: H04L12/28 ; H04L29/08  
EC Classification:  
Equivalents:

### Abstract

**PROBLEM TO BE SOLVED:** To immediately confirm whether or not there is a transfer buffer array by providing a transfer sequence presence/absence flag and a comparator which compares the contents of a head and a tail pointer with each other and controlling the presence/absence flag.  
**SOLUTION:** The head painter 8a specifies the head of the transfer buffer array. The tail pointer 8b specifies the tail of the transfer buffer array. Further, the comparator 8d compares the contents of the head pointer 8a and tail painter 8b with each other and generates a coincidence/discrepancy output. Namely, there is a transfer data sequence and a discrepancy turns on the presence/ absence flag 8f. Then a control part 8c is a part which controls the operation of the whole transfer buffer management part and controls the update of the head painter 8a, tail pointer 8b, and the transfer sequence presence/absence flag 8f. Then when the control part 8c connects transfer buffers, an assembly buffer management part 9 completes frame assembly and the head pointer and tail pointer of the frame are reported. Then the flag 8f is used to decide whether or not there is the transfer buffer array.

Data supplied from the esp@cenet database - I2

Best Available Copy

?ss pn=(63010597 or 63153598 or 6072296 or 9186481 or 9312652)

S1	1	PN=63010597
S2	1	PN=63153598
S3	1	PN=6072296
S4	1	PN=9186481
S5	1	PN=9312652
S6	5	PN=(63010597 OR 63153598 OR 6072296 OR 9186481 OR 9312652)

?t s6/4/all

6/4/1

FN- DIALOG(R)File 347:JAPIO|  
CZ- (c) 2001 JPO & JAPIO. All rts. reserv.|  
TI- FRAME ASSEMBLING DEVICE  
PN- 09-312652 -J P 9312652 A-  
PD- December 02, 1997 (19971202)  
AU- TANAKA KENTARO; MIURA SHIN; NAKAJIMA KOICHI  
PA- MITSUBISHI ELECTRIC CORP [000601] (A Japanese Company or Corporation),  
JP (Japan)  
AN- 08-128539 -JP 96128539-  
AN- 08-128539 -JP 96128539-  
AD- May 23, 1996 (19960523)  
IC- -6- H04L-012/28; H04L-029/08  
CL- 44.3 (COMMUNICATION -- Telegraphy); 44.4 (COMMUNICATION -- Telephone)  
AB- PROBLEM TO BE SOLVED: To immediately confirm whether or not there is a transfer buffer array by providing a transfer sequence presence/absence flag and a comparator which compares the contents of a head and a tail pointer with each other and controlling the presence/absence flag.

SOLUTION: The head painter 8a specifies the head of the transfer buffer array. The tail pointer 8b specifies the tail of the transfer buffer array. Further, the comparator 8d compares the contents of the head pointer 8a and tail painter 8b with each other and generates a coincidence/discrepancy output. Namely, there is a transfer data sequence and a discrepancy turns on the presence/ absence flag 8f. Then a control part 8c is a part which controls the operation of the whole transfer buffer management part and controls the update of the head painter 8a, tail pointer 8b, and the transfer sequence presence/absence flag 8f. Then when the control part 8c connects transfer buffers, an assembly buffer management part 9 completes frame assembly and the head pointer and tail pointer of the frame are reported. Then the flag 8f is used to decide whether or not there is the transfer buffer array.

6/4/2

FN- DIALOG(R)File 347:JAPIO|  
CZ- (c) 2001 JPO & JAPIO. All rts. reserv.|  
TI- SHIELD STRUCTURE OF PRINTED BOARD  
PN- 09-186481 -J P 9186481 A-  
PD- July 15, 1997 (19970715)  
AU- HIRATA TAKEJI  
PA- NEC CORP [000423] (A Japanese Company or Corporation), JP (Japan)  
AN- 07-354184 -JP 95354184-  
AN- 07-354184 -JP 95354184-  
AD- December 29, 1995 (19951229)  
IC- -6- H05K-009/00  
CL- 44.2 (COMMUNICATION -- Transmission Systems); 30.2 (MISCELLANEOUS GOODS -- Sports & Recreation)  
AB- PROBLEM TO BE SOLVED: To shield a plurality of printed boards securely

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-312652

(43) 公開日 平成9年(1997)12月2日

(51) Int.Cl.<sup>6</sup>

H 0 4 L 12/28  
29/08

識別記号

庁内整理番号

9466-5K

F I

H 0 4 L 11/20  
13/00

技術表示箇所

E

3 0 7 C

審査請求 未請求 請求項の数6 O L (全 32 頁)

(21) 出願番号 特願平8-128539

(22) 出願日 平成8年(1996)5月23日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 田中 健太郎

東京都千代田区丸の内二丁目2番3号 三  
菱電機株式会社内

(72) 発明者 三浦 紳

東京都千代田区丸の内二丁目2番3号 三  
菱電機株式会社内

(72) 発明者 中島 宏一

東京都千代田区丸の内二丁目2番3号 三  
菱電機株式会社内

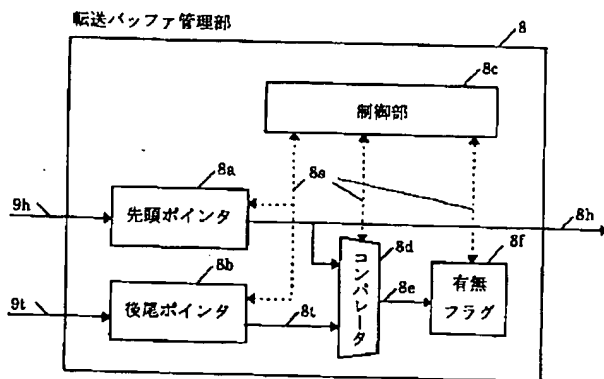
(74) 代理人 弁理士 宮田 金雄 (外3名)

(54) 【発明の名称】 フレーム組立装置

(57) 【要約】

【課題】 固定長セル単位で共通バッファを占有する転送バッファ列の有無を容易に認識するフレーム組立装置を得る。

【解決手段】 固定長セル単位でバッファを占有していく共通メモリに対し、共通メモリ中に固定長セルをつなげて可変長の転送バッファ列を形成して出力待ちの状態の転送データ列の有無を表示する転送列有無フラグと、この転送データ列の先頭のポインタで転送データ列有無フラグをセットし、転送データ列の後尾ポインタで転送データ列有無フラグをリセットする比較器を備えた。



## 【特許請求の範囲】

【請求項1】 固定長セル単位でバッファを占有していく共通メモリに対して、上記共通メモリ中に上記セルをつなげて可変長の転送バッファ列を形成して出力待ちの状態の転送データ列の有無を表示する転送列有無フラグと、上記転送データ列の先頭のポインタで上記有無フラグをセットし、上記転送データ列の後尾ポインタで上記有無フラグをリセットする比較器を備えたフレーム組立装置。

【請求項2】 共通メモリをコネクション対応として複数の転送バッファ列を管理する構成とし、上記コネクション対応の複数の転送列有無フラグと比較器をそれぞれ備えたことを特徴とする請求項1記載のフレーム組立装置。

【請求項3】 共通メモリを出力ポート対応として複数の転送バッファ列を管理する構成とし、上記ポート対応の複数の転送列有無フラグと比較器をそれぞれ備えたことを特徴とする請求項1記載のフレーム組立装置。

【請求項4】 共通メモリを優先度対応として複数の転送バッファ列を管理する構成とし、上記優先度対応の複数の転送列有無フラグと比較器をそれぞれ備えて、優先度の高い転送バッファ列が発生すると、優先度の低い転送バッファ列の転送を中止して上記優先度の高い転送バッファ列の転送を開始することを特徴とする請求項1記載のフレーム組立装置。

【請求項5】 優先度は高いものと低いものの2種としたことを特徴とする請求項4記載のフレーム組立装置。

【請求項6】 共通メモリの未使用セルを集めて空きバッファ列とし、上記空きバッファ列の有無を示す空きバッファ有無フラグを備えて、上記空きバッファ列の先頭のポインタで上記空きバッファ有無フラグをセットし、上記空きバッファ列の後尾ポインタで上記空きバッファ有無フラグをリセットするようにしたことを特徴とする請求項1記載のフレーム組立装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、ATMセル等の固定長のセルを受信し、共通バッファを有効利用して可変長フレームを組み立て、転送データ列を作って管理するフレーム組立装置に関するものである。

## 【0002】

【従来の技術】ATMセル等の固定長のセルを受信して可変長フレームを組み立てるフレーム組立装置において、前記固定長セルを一旦蓄積するメモリのバッファリング方式の1つに、共通バッファ方式がある。共通バッファ方式では、コネクションの異なるフレームを組み立てる場合に、バッファをコネクション毎に設けるのではなく、複数のコネクションでバッファを共有するため、

メモリ使用効率の優れた方式である。ところで共通バッファ方式では、受信した固定長セルを格納するRAM等のメモリを固定サイズのバッファに論理的に分割し、前記分割されたバッファの先頭アドレスを該バッファを示すアドレスとする。バッファ内にはポインタを格納するフィールドがあり、該ポインタが自バッファに続くバッファを示すことにより、必要なバッファ列を形成する（本明細書ではバッファが1つの場合にもバッファ列と称する場合がある）。

【0003】本明細書に示す発明に最も近い従来例として、図34に特開平4-237238に記載された受信バッファ管理方式を示す。前記従来例では、空きバッファディスクリプタ121のポインタSPで指定されるサイズaの空きバッファ111-1~111-3の列と、空きバッファディスクリプタ122のポインタSPで指定されるサイズb<aの空きバッファ112-1~112-4の列が用意される。サイズLのデータパケットの受信時には、 $a \geq L > b$ であればサイズaの空きバッファの列の先頭バッファ111-1が、 $b \geq L$ であればサイズbの空きバッファの列の先頭バッファ112-1が、対応するバッファ列からはずされる。そして、前記バッファ列からはずされたバッファに受信データが全て格納されると、前記バッファが受信済みバッファディスクリプタ123のポインタSPで指定される受信済みバッファ列の最後につながる。各バッファ111-1~111-3、112-1~112-3、113-1のヘッダ部Hは、バッファサイズと、バッファに受信パケットが格納された場合の前記パケットのサイズとを設定する。各バッファ111-1~111-3、112-1~112-3、113-1の次ポインタ部NPは、自バッファの次に続くバッファを指定する。前記次ポインタ部NPには、内容（ポインタ）が無効であり、次のバッファが存在しないことを示すエンドフラグEFがあり、ポインタが無効の場合オンである。図34では、空きバッファ111-3、112-3および受信済みバッファ113-1は前記エンドフラグEFがオンとなっており、フラグオンを斜線で示している。なお、上記のサイズa、bは、ヘッダ部Hおよび次ポインタ部NPを除くバッファ領域（実際に受信データが格納可能な領域）のサイズを示す。

## 【0004】

【発明が解決しようとする課題】上記従来例では、受信済みバッファディスクリプタ123のフラグVを見ることにより受信済みバッファ列の存在を確認することができる。前記フラグVのオン・オフ制御について特開平4-237238には明記されていないが、前記フラグVのオン・オフ制御の一例として、受信済みバッファが発生した時は無条件に前記フラグVをオンとし、受信済みバッファ列からバッファをはずす際の受信済みバッファのポインタSPの更新時にエンドフラグEFがオンであ

った場合は前記フラグVをオフとする方法が容易に考えつく。また、空きバッファディスクリプタ121、122についてもフラグVが設けられており、前記フラグVのオン・オフ制御の一例として、空きバッファが発生した時は無条件に前記フラグVをオンとし、空きバッファ列からバッファをはずす際の空きバッファのポインタSPの更新時にエンドフラグEFがオンであった場合は前記フラグVをオフとする方法が容易に考えつく。ただし、前記の方法では各バッファ111-1~111-3、112-1~112-3、113-1にバッファ列の最終を示すエンドフラグEFが必要となり、さらに、エンドフラグEFをオンにする手段、更に受信済みバッファ列を全て転送完了したかどうかを見るためには、全ての受信済みバッファディスクリプタ123のポインタSPが示すバッファのエンドフラグEFを監視する手段、および空きバッファがあるか否かを調べるには、空きバッファディスクリプタ121、122のポインタSPが示すバッファのエンドフラグEFを監視する手段が必要であった。

【0005】また、上記従来例では、受信済みバッファ列を1つに接続する場合はその最後尾に新たに受信済みバッファをつなぐ際、受信済みバッファ列が長い場合には前記バッファ列を最後尾までたどる制御が複雑でしかも時間がかかる。即ち、転送を開始してよいかどうかを判別するのに時間がかかるという課題があった。

【0006】本発明は、上記に示す課題を解決し、バッファを効率的に利用するという共通バッファの特徴を生かし、小規模で無駄のないハードウェア制御により転送の開始、終了を容易にしたフレーム組立装置を得ることを目的とする。

【0007】

【課題を解決するための手段】この発明に係るフレーム組立装置は、固定長セル単位でバッファを占有していく共通メモリに対し、共通メモリ中に固定長セルをつなげて可変長の転送バッファ列を形成して出力待ちの状態の転送データ列の有無を表示する転送列有無フラグと、この転送データ列の先頭のポインタで転送データ列有無フラグをセットし、転送データ列の後尾ポインタで転送データ列有無フラグをリセットする比較器を備えた。

【0008】また更に、共通メモリをコネクション対応として複数の転送バッファ列を管理する構成とし、このコネクション対応の複数の転送列有無フラグと比較器をそれぞれ備えた。

【0009】また更に、共通メモリを出力ポート対応として複数の転送バッファ列を管理する構成とし、このポート対応の複数の転送列有無フラグと比較器をそれぞれ備えた。

【0010】また更に、共通メモリを優先度対応として複数の転送バッファ列を管理する構成とし、優先度対応の複数の転送列有無フラグと比較器をそれぞれ備えて、

優先度の高い転送バッファ列が発生すると、優先度の低い転送バッファ列の転送を中止して優先度の高い転送バッファ列の転送を開始するようにした。

【0011】また更に、優先度は高いものと低いものの2種とした。

【0012】また更に、共通メモリの未使用セルを集めて空きバッファ列とし、この空きバッファ列の有無を示す空きバッファ有無フラグを備えて、空きバッファ列の先頭のポインタで空きバッファ有無フラグをセットし、空きバッファ列の後尾ポインタで空きバッファ有無フラグをリセットするようにした。

【0013】

【発明の実施の形態】

実施の形態1. 図1は発明の実施の形態1におけるフレーム組立装置の全体の構成を示す図である。共通メモリ1は受信した固定長セル3を格納しフレーム4を組み立てるRAM等のメモリである。前記共通メモリ1は論理的に固定長のバッファ2に分割されており、バッファ2を示す指標としてバッファ2の先頭アドレスを使用する(本明細書では、前記バッファ2を示す指標をポインタと称する。ポインタの内容は共通メモリ1内のいずれかのバッファ2の先頭アドレスである)。各バッファ間には、バッファ2内部に設けられたポインタエリアに、自バッファに続くバッファのポインタアドレスを格納することによりバッファ列を形成する。

【0014】共通メモリ1を直接制御する部分は、ライト制御部5とリード制御部6である。ライト制御部5は、後述する空きバッファ管理部7からポインタが通知されると、前記ポインタの指定するバッファに対応するライトアドレス5aとライトパルス5bを出力することにより、共通メモリ1のバッファ2に受信セルのデータ、コネクション情報、フレームエンド情報をライトする。リード制御部6は、後述する転送バッファ管理部からポインタが通知されると、前記ポインタの指定するバッファに対応するリードアドレス6aとリードパルス6bを出力することにより、共通メモリ1からバッファ2のコネクション情報とデータをリードする。共通メモリ1のバッファ列を管理する部分は、空きバッファ管理部7、転送バッファ管理部8、組立中バッファ管理部9である。前記バッファ管理部7、8、9の間では、空きバッファ先頭ポインタ出力7h、転送バッファ先頭ポインタ出力8h、組立中バッファ先頭ポインタ出力9h、組立中バッファ後尾ポインタ出力9tによって適宜ポインタを通知することによってバッファ管理を実施する。前記バッファ管理部7、8、9の詳細については後述する。コネクション情報5cは、固定長セル3を受信した際にコネクション毎にフレームを組み立てるため、受信したセルのコネクションを組立中バッファ管理部9へ通知する。フレームエンド情報5dは固定長セル3を受信した際、受信したセルがフレームの最終であるかどうか

を組立中バッファ管理部9に通知する。セル受信通知5eは、固定長セル3を受信した際にデータをライトするバッファを確保するため、空きバッファ管理部7にセル受信を通知する。

【0015】図2はバッファ2の構成を示す図である。ポインタエリア2aは自バッファに続くバッファを指定する領域である。フレームエンドフラグ2bはフレームの最終を表示する領域である。前記フレームエンドフラグ2bは図34に示す従来例におけるバッファ列の最終を示すエンドフラグEFとは異なるものである。コネクション情報2cは受信データの属するコネクションを表示する領域である。データエリア2dは受信した固定長セル3のデータを格納する領域であり、データエリア2dのサイズは固定長セル3のデータサイズと同じかそれよりも大きい。例えば、ATM通信においてはデータエリア2dは48バイト以上である。

【0016】図3は共通メモリ1内に存在しうるバッファ列を示している。共通メモリ1の内部で形成されるバッファ列には、未使用状態のバッファを連結した空きバッファ列70、組立中のフレームが占めるバッファをコネクション別に連結した組立中バッファ列90-1〜3、フレーム組立が完了し共通メモリ1からデータがリードされるのを待機している状態のバッファを連結した転送バッファ列80の3種類が存在する。図3の例では収容コネクション数が3であるため組立中バッファ列は最大3つ存在するが、フレーム組立装置で収容するコネクション数によっては組立中バッファ列が3つ以上または2つ以下となる場合もある。これらのバッファ列70、80、90-1〜3はそれぞれ先頭ポインタ7a、8a、9a-1〜3と後尾ポインタ7b、8b、9b-1〜3によって管理される。なお、転送バッファ列80につながれているバッファのうち、フレームの最終バッファはフレームエンドフラグ2bがオンとなるため、エンドフラグ2bがオンの状態を斜線で示している。また、フレーム組立装置リセット後の初期状態では共通メモリ1の全てのバッファ2は空きバッファ列につながれる。

【0017】本発明において重要なことは、転送バッファ列の存在の有無、つまり転送データ列があるか否かを早く容易に知ることである。転送バッファ管理部8は上記転送バッファ列80を管理する。前記転送バッファ管理部8では、組立中バッファ管理部9でフレームの組立が完了した際に、前記フレームの占めるバッファ列を転送バッファ列80の最後尾につなぐ。また、転送バッファのデータを読み出し終わると、前記バッファを転送バッファ列80からはずし、空きバッファとして空きバッファ管理部7へ通知する。

【0018】組立中バッファ管理部9は上記組立中バッファ列90を管理する。前記組立中バッファ管理部9では、フレーム組立装置で固定長セル3を受信した際に、

受信した固定長セル3をライトしたバッファをコネクションの組立中バッファ列90の最後尾につなぐ。また、フレームの組立が完了した場合には、フレームの組立が完了したコネクションの組立中バッファ列90全体を転送バッファとして転送バッファ管理部8へ通知する。空きバッファ管理部7は上記空きバッファ列70を管理する。前記空きバッファ管理部7では、フレーム組立装置から転送バッファのデータが読み出された際に、データを読み出されたバッファを空きバッファとして空きバッファ列70の最後尾につなぐ。また、組立中のフレームでエラーフレームが発生した際には、エラーフレームの占めるバッファを空きバッファとして空きバッファ列80の最後尾につなぐ。さらに、固定長セル3を受信した際には、受信した固定長セル3をライトするバッファを空きバッファ列80からはずし、組立中バッファ管理部9へ通知する。

【0019】図4は転送バッファ管理部8の内部構成を示す図である。先頭ポインタ8aは転送バッファ列の先頭を指定する。後尾ポインタ8bは転送バッファ列の最後尾を指定する。コンパレータ（比較器）8dは前記先頭ポインタ8aと後尾ポインタ8bの内容を比較し、一致／不一致を出力する。即ち、後に詳述するように、不一致は転送データ列があつて有無フラグ8fをオンにすることであり、転送列有無フラグ8fは転送バッファ列が存在している時にオンである。制御部8cは転送バッファ管理部全体の動作を制御する部分であり、先頭ポインタ8a、後尾ポインタ8b、転送列有無フラグ8fの更新を制御する。以下、前記制御部8cの処理を図5および図6のフローチャートで説明する。

【0020】図5は制御部8cが転送バッファをつなぐ際の処理を示すフローチャートである。状態s11では、組立中バッファ管理部9でフレーム組立が完了し、組立完了したフレームの先頭ポインタと後尾ポインタが通知される。状態s12では、転送バッファ列の存在を有無フラグ8fによって判定する。状態s12で有無フラグ8fがオン（すなわち転送バッファ列有り）の場合は、既存の転送バッファ列に新たなバッファまたはバッファ列をつなぐ処理を行う。状態s16および状態s17はバッファまたはバッファ列をつなぐ具体的な処理内容を示している。状態s16では、後尾ポインタ8bの指定するバッファのポインタエリアに、通知された先頭ポインタの値をライトする。状態s17では、通知された後尾ポインタを新しい後尾ポインタ8bとする。状態s12で有無フラグ8fがオフ（すなわち転送バッファ列無し）の場合は、バッファまたはバッファ列を転送バッファ管理部8に登録する処理を行う。状態s13〜s15はバッファまたはバッファ列を転送バッファ列として登録する具体的な処理内容を示している。状態s13では、通知された先頭ポインタを新しい先頭ポインタ8aとする。状態s14では、通知された後尾ポインタを

新しい後尾ポインタ8bとする。状態s15では、転送バッファが存在しない状態から転送バッファ列を登録したので、転送バッファ列の存在を示す有無フラグ8fをオンにする。

【0021】図6は制御部8cが転送バッファをはずす際の処理を示すフローチャートである。状態s21では、転送バッファ列の存在の有無フラグ8fによって判定する。状態s21で転送列有無フラグ8fがオン(すなわち転送バッファ列有り)の場合は、フレーム組立装置からフレームを出力するため、転送バッファ列の先頭のバッファのデータが共通メモリ1より読み出され、前記転送バッファ列の先頭のバッファは読み出し終了後、空きバッファとなる。状態s22は前記動作のポインタの流れを示しており、先頭ポインタ8aの内容をリード制御部6と空きバッファ管理部7へ通知する。その後、状態s23ではコンパレータ8dの出力を見る。状態s23でコンパレータ8dが不一致を示す場合は、先頭ポインタ8aの指定するバッファの後に続く転送バッファ列が存在することを示しているため、先頭ポインタ8aを更新する。状態s25は先頭ポインタ8aを更新する具体的な処理内容を示しており、先頭ポインタ8aの指定するバッファのポインタエリアの値を新しい先頭ポインタ8aとする。状態s23でコンパレータ8dが一致を示す場合は、転送バッファ列が存在しないことを示しているため、状態s24にて有無フラグ8fをオフにし、先頭ポインタ8aは更新しない。状態s24およびs25いずれの処理の場合でも、状態s26にて共通バッファ1から転送バッファのデータがリードされている間ウェイトする。

【0022】上記に示す転送バッファ管理部8によれば、転送バッファをつなぐ際には転送バッファ列をたどることなくバッファをつなぐため、バッファをつなぐ制御回路が簡単になる。また、転送バッファをはずす際には、コンパレータの出力により後に続く転送バッファが存在するかどうか転送が完了したかどうかを直ちに判定することができる。

【0023】図7は組立中バッファ管理部9の内部構成を示す図である。組立中バッファ管理テーブル9u-1~3は、先頭ポインタ9a-1~3、後尾ポインタ9b-1~3、組立中フラグ9f-1~3から構成されるレジスタ群であり、収容するコネクション数分備えられる。本図では3コネクションを収容する場合を示している。先頭ポインタ9a-1~3は各コネクションの組立中バッファ列の先頭を指定する。後尾ポインタ9b-1~3は各コネクションの組立中バッファ列の最後尾を指定する。組立中フラグ9f-1~3は組立中バッファ列が存在するかどうかを示すフラグであり、組立中バッファ列が存在する時にオンである。制御部9cは組立中バッファ管理部9全体の動作を制御する部分であり、先頭ポインタ9a-1~3、後尾ポインタ9b-1~3、組

立中フラグ9f-1~3の更新を制御する。

【0024】図8は組立中バッファ管理部9における制御部9cの処理を示すフローチャートである。状態s31では、フレーム組立装置が固定長セル3を受信した場合に空きバッファ管理部7からポインタが通知されるとともに、コネクション通知信号5cおよびフレームエンド通知信号5dより固定長セルのコネクション#nとフレームエンド情報を得る。状態s32で組立中フラグ9f-nがオン(すなわち組立中バッファ有り)の場合は、既存の組立中バッファ列に通知されたバッファをつなぐ処理を行う。状態s36および状態s37はバッファをつなぐ具体的な処理を示している。状態s32で組立中フラグ9f-nがオフ(すなわち組立中バッファ無し)の場合は、通知されたバッファを組立中バッファとして登録する処理を行う。状態s33~s35はバッファを組立中バッファとして登録する具体的な処理内容を示している。その後、状態s38でフレームエンド情報を見ることによって通知されたポインタの指定するバッファがフレームの最終であるかどうか、すなわち通知されたポインタの指定するバッファをもってフレーム組立が完了するかどうかを判定する。状態s38でフレームエンドでない場合は、状態s39で後尾ポインタ9b-nの指定するバッファのフレームエンドフラグ2bをオフとして本処理は終了となる。フレームエンドである場合は以下の処理が継続する。まず、状態s40で組立中フラグ9f-nをオフとし、状態s41では、例えばCRC(Cyclic Redundancy Check:巡回冗長性検査)によってフレームが正常であるかどうかを判定する。状態s41で正常フレームでない場合は状態s44へ進み、エラーフレームを廃棄し、エラーフレームの占めるバッファ列を空きバッファとするため、前記エラーフレームの占めるバッファ列を空きバッファ管理部7へ通知する。状態s41で正常フレームである場合は、状態s42で後尾ポインタ9b-nの指定するバッファのフレームエンドフラグ2bをオンとし、状態s43で組立完了フレームの占めるバッファ列を転送バッファ管理部8へ通知し、転送バッファとして転送バッファ列につなげる。

【0025】上記に示す組立中バッファ管理部9によれば、小規模なハードウェア制御により、複数コネクションからの固定長セル3をコネクション毎に組み立てることができる。

【0026】図9は空きバッファ管理部7の内部構成を示す図である。先頭ポインタ7aは空きバッファ列の先頭を指定する。後尾ポインタ7bは空きバッファ列の最後尾を指定する。コンパレータ8dは前記先頭ポインタ8aと後尾ポインタ8bの内容を比較し、一致/不一致を出力する。有無フラグ7fは空きバッファ列が存在している時にオンである。制御部7cは空きバッファ管理部全体の動作を制御する部分であり、先頭ポインタ7

a、後尾ポインタ7b、有無フラグ7fの更新を制御する。以下、前記制御部7cの処理を図10および図11のフローチャートで説明する。

【0027】図10は転送が終了したバッファを空きバッファとして空きバッファ列につなぐ際の制御部7cの処理を示すフローチャートである。状態s51では、転送バッファ管理部8からポインタが通知される。ここで通知されたポインタの指定するバッファは、新たに空きバッファとなるものである。状態s52では、空きバッファ列の存在を有無フラグ7fによって判定する。状態s52で有無フラグ7fがオン（すなわち空きバッファ列有り）の場合は、既存の空きバッファ列に前記の新たなバッファをつなぐ処理を行う。状態s56および状態s57はバッファをつなぐ具体的な処理内容を示している。状態s56では、後尾ポインタ7bの指定するバッファのポインタエリアに、通知されたポインタの値をライトする。状態s57では、通知されたポインタを新しい後尾ポインタ7bとする。状態s52で有無フラグ7fがオフ（すなわち空きバッファ列無し）の場合は、バッファを空きバッファ管理部7に登録する処理を行う。状態s53～s55はバッファを空きバッファとして登録する具体的な処理内容を示している。状態s53では、通知されたポインタを新しい先頭ポインタ7aとする。状態s54では、通知されたポインタを新しい後尾ポインタ7bとする。状態s55では、空きバッファが存在しない状態から空きバッファを登録したので、空きバッファ列の存在を示す有無フラグ7fをオンにする。

【0028】図11は組立中バッファ管理部9にてエラーとなったフレームの占めるバッファを空きバッファとして空きバッファ列につなぐ際の制御部7cの処理を示すフローチャートである。状態s61では、組立中バッファ管理部9でエラーと判定されたフレームの先頭ポインタと後尾ポインタが通知される。状態s62では、空きバッファ列の存在を有無フラグ7fによって判定する。状態s62で有無フラグ7fがオン（すなわち空きバッファ列有り）の場合は、既存の空きバッファ列に新たなバッファまたはバッファ列をつなぐ処理を行う。状態s66および状態s67はバッファまたはバッファ列をつなぐ具体的な処理内容を示している。状態s66では、後尾ポインタ7bの指定するバッファのポインタエリアに、通知された先頭ポインタの値をライトする。状態s67では、通知された後尾ポインタを新しい後尾ポインタ7bとする。状態s62で有無フラグ7fがオフ（すなわち転送バッファ列無し）の場合は、バッファまたはバッファ列を空きバッファ管理部7に登録する処理を行う。状態s63～s65はバッファまたはバッファ列を転送バッファ列として登録する具体的な処理内容を示している。状態s63では、通知された先頭ポインタを新しい先頭ポインタ7aとする。状態s64では、通知された後尾ポインタを新しい後尾ポインタ7bとす

る。状態s65では、空きバッファが存在しない状態から空きバッファ列を登録したので、空きバッファ列の存在を示す有無フラグ7fをオンにする。

【0029】図12は制御部7cが空きバッファをはずす際の処理を示すフローチャートである。状態s71でセル受信通知信号5eの通知を受けて、制御部7cは以下に続く処理を行う。状態s72では、空きバッファ列の存在を有無フラグ7fによって判定する。状態s72で有無フラグ7fがオフ（すなわち空きバッファ列無し）の場合、受信セルのデータを格納する領域がないので、制御部7cは何もしない。つまり、上記受信セルは廃棄される。状態s72で有無フラグ7fがオン（すなわち空きバッファ列有り）の場合は、空きバッファ列の先頭のバッファに受信した固定長セル3のデータが書き込まれ、前記空きバッファ列の先頭のバッファは書き込み終了後、組立中バッファとなる。状態s73は前記動作時のポインタの流れを示しており、先頭ポインタ7aの内容をライト制御部5と組立中バッファ管理部9へ通知する。その後、状態s74ではコンパレータ7dの出力を見る。状態s74でコンパレータ7dが不一致を示す場合は、先頭ポインタ7aの指定するバッファの後に続く空きバッファ列が存在することを示しているので、先頭ポインタ7aを更新する。状態s76は先頭ポインタ7aを更新する具体的な処理内容を示している。状態s74でコンパレータ7dが一致を示す場合は、空きバッファ列が存在しないことを示しているので、状態s75にて有無フラグ7fをオフにし、先頭ポインタ7aは更新しない。

【0030】上記に示す空きバッファ管理部9によれば、空きバッファをつなぐ際には空きバッファ列をたどることなくバッファをつなぐため、バッファをつなぐ制御回路が簡単になる。また、空きバッファをはずす際には、コンパレータの出力により後に続く空きバッファが存在するか、または極端な場合、空きバッファ自体があるかどうかを直ちに判定することができる。

【0031】上記に示す発明の実施の形態1によれば、小規模で無駄のないハードウェア制御でバッファ管理を実現できる。特に転送バッファにある組立を完了した転送が必要なデータ列があるかどうかを直ちに容易に管理できる。

【0032】なお、複数のコネクションを収容するフレーム組立装置の場合、フレームを出力する際にコネクション情報を上位へ通知する手段が必要である。以下にコネクション情報を上位へ通知する手段の例を示す。リード制御部6においてリードするバッファのフレームエンドフラグ2bを監視し、前記フレームエンドフラグ2bがオンであった場合は、この次にリードするバッファのコネクション情報2cを出力する。また、フレーム組立装置リセット後最初にバッファをリードする際にも該バッファのコネクション情報2cを出力する。前記の手段



によって、出力フレームの先頭に必ず接続情報が付加される。

【0033】実施の形態2. 以下、発明の実施の形態2について説明する。発明の実施の形態2によるフレーム組立装置は、発明の実施の形態1によるフレーム組立装置の発展型であり、転送バッファ管理部8の構成を接続数分設けることにより接続毎に異なるサービスを実現するものである。

【0034】図13は発明の実施の形態2によるフレーム組立装置の転送バッファ管理部8の構成を示す図である。転送バッファ管理テーブル81-1~3はフレーム組立装置で収容する接続毎に設けられている。本図の例では収容接続数は3であるが、収容接続数は3より大きい場合も小さい場合もあり得る。リクエスト受付回路82は、転送バッファ管理テーブル81-1~3からの転送リクエスト8j-1~3に対してアクノリッジ信号8p-1~3を返すことにより、先頭ポインタ出力8hを制御する部分である。

【0035】図14はリクエスト受付回路82の処理例を示すフローチャートである。本図の例では、接続数3、遅延に関する優先順位は#1>#2>#3の順位としている（本明細書では#は接続を示す）。状態s201では#1において転送待ちのバッファ列があるかどうかを#1転送リクエスト8j-1によって判別する。#1転送リクエスト8j-1がオフの場合は状態s204へ進む。#1転送リクエスト8j-1がオンの場合は状態s202へ進み、#1アクノリッジ8p-1をオンとする。前記#1アクノリッジを受けて、#1転送バッファ管理テーブル81-1はポインタを先頭ポインタ出力8hに出力する。その後、状態s203では#1のフレームの転送期間ウェイトし、ウェイト期間が終了すると状態s201へ戻る。状態s204では#2において転送待ちのバッファ列があるかどうかを#2転送リクエスト8j-2によって判別する。#2転送リクエスト8j-2がオフの場合は状態s207へ進む。#2転送リクエスト8j-2がオンの場合は状態s205へ進み、#2アクノリッジ8p-2をオンとする。前記#2アクノリッジを受けて、#2転送バッファ管理テーブル81-2はポインタを先頭ポインタ出力8hに出力する。その後、状態s206では#2のフレームの転送期間ウェイトし、ウェイト期間が終了すると状態s201へ戻る。状態s207では#3において転送待ちのバッファ列があるかどうかを#3転送リクエスト8j-3によって判別する。#3転送リクエスト8j-3がオフの場合は状態s201へ戻る。#3転送リクエスト8j-3がオンの場合は状態s208へ進み、#3アクノリッジ8p-3をオンとする。前記#3アクノリッジを受けて、#3転送バッファ管理テーブル81-3はポインタを先頭ポインタ出力8hに出力する。その後、状態s209では#3のフレームの転送期間ウェイトし、ウェイト期間が終了すると状態s201へ戻る。

リクエスト受付回路82における上記の処理によって、遅延に関して接続毎に異なる優先順位付けを実現することができる。

【0036】図15は転送バッファ管理テーブル81-1~3の構成を示す図である。先頭ポインタ8aは転送バッファ列の先頭を指定する。後尾ポインタ8bは転送バッファ列の最後尾を指定する。コンパレータ8dは前記先頭ポインタ8aと後尾ポインタ8bの内容を比較し、一致/不一致を出力する。有無フラグ8fは転送バッファ列が存在している時にオンであり、有無フラグの出力は転送リクエスト8jとしてリクエスト受付回路へ通知される。制御部8cは転送バッファ管理部全体の動作を制御する部分であり、先頭ポインタ8a、後尾ポインタ8b、有無フラグ8fの更新を制御する。本転送バッファ管理テーブル81-1~3を接続数分設けることにより、フレーム組立装置では接続毎に異なるサービスを実現することができる。以下、前記制御部8cの処理を図16および図17のフローチャートで説明する。

【0037】図16は制御部8cが転送バッファをつなぐ際の処理を示すフローチャートである。状態s211では、組立中バッファ管理部9でフレーム組立が完了し、組立完了したフレームの先頭ポインタと後尾ポインタが通知される。状態s212では、転送バッファ列の存在を有無フラグ8fによって判定する。状態s212で有無フラグ8fがオン（すなわち転送バッファ列有り）の場合は、既存の転送バッファ列に新たなバッファまたはバッファ列をつなぐ処理を行う。状態s216および状態s217はバッファまたはバッファ列をつなぐ具体的な処理内容を示している。状態s216では、後尾ポインタ8bの指定するバッファのポインタエリアに、通知された先頭ポインタの値をライトする。状態s217では、通知された後尾ポインタを新しい後尾ポインタ8bとする。状態s212で有無フラグ8fがオフ（すなわち転送バッファ列無し）の場合は、バッファまたはバッファ列を転送バッファ管理部8に登録する処理を行う。状態s213~s215はバッファまたはバッファ列を転送バッファ列として登録する具体的な処理内容を示している。状態s213では、通知された先頭ポインタを新しい先頭ポインタ8aとする。状態s214では、通知された後尾ポインタを新しい後尾ポインタ8bとする。状態s215では、転送バッファが存在しない状態から転送バッファ列に登録したので、転送バッファ列の存在を示す有無フラグ8fをオンにする。

【0038】図17は制御部8cが転送バッファをはずす際の処理を示すフローチャートである。状態s221では、リクエスト受付回路82からのアクノリッジ8p-1~3を監視し、オンの場合は状態s222へ進む。状態s222では、先頭ポインタ8aの内容をリード制

御部6と空きバッファ管理部7へ通知する。これにより、共通メモリ1からは転送バッファ列の先頭のバッファのデータを読み出すとともに、読み出した転送バッファを空きバッファとして空きバッファ列につなぐ。その後、状態s223では先頭ポインタ8aと後尾ポインタ8bの内容を比較するコンパレータ8dの出力を見る。状態s223でコンパレータ8dが不一致を示す場合は、先頭ポインタ8aの指定するバッファの後に続く転送バッファ列が存在することを示しているため、先頭ポインタ8aを更新する。状態s225は先頭ポインタ8aを更新する具体的な処理内容を示しており、先頭ポインタ8aの指定するバッファのポインタエリアの値を新しい先頭ポインタ8aとする。状態s223でコンパレータ8dが一致を示す場合は、転送バッファ列が存在しないことを示しているため、状態s224にて有無フラグ8fをオフにし、先頭ポインタ8aは更新しない。状態s224およびs225いずれの処理の場合でも、状態s226にて共通バッファ1から転送バッファのデータがリードされている間ウェイトする。そして、状態s227にて、状態s222で通知したポインタの指定するバッファのフレームエンドフラグ2bがオンであれば、再び状態s222の処理へ戻る。

【0039】上記に示す発明の実施の形態2によるフレーム組立装置では、リクエスト受付回路82によって#1>#2>#3の順にフレーム転送が優先されるため、コネクション毎に異なる優先順位を実施することができる。ここで示すリクエスト受付回路82は遅延に関してコネクション毎に異なる優先順位を実現するものであるが、コネクション毎に異なるトラヒック特性やフレームレートを実施することも可能である。なお、各転送バッファ管理テーブル81-1~3の構成、処理は同一であるため、図15~図17においてコネクションを表す添字は示していない。また、図15に示す転送バッファ管理テーブル81の構成は、発明の実施の形態3以降においても同一である。

【0040】実施の形態3。以下、発明の実施の形態3について説明する。発明の実施の形態3によるフレーム組立装置は、発明の実施の形態1によるフレーム組立装置の発展型であり、転送バッファ管理部8の構成をポート数分設けることによりコネクション毎に異なるサービスを実現するものである。以下、ここで示す発明の実施の形態3によるフレーム組立装置では出力ポート数は2として説明するが、実際には2より大きくてもかまわない。

【0041】図18は発明の実施の形態3によるフレーム組立装置の転送バッファ管理部8の構成を示す図である。転送バッファ管理テーブル81-1~2は図15で示した構成であり、フレーム組立装置で収容するコネクション毎に設けられている。実際には出力ポート数が2より大きい場合もあるが、本実施例では出力ポートの数

を2とし説明しているため、転送バッファ管理テーブルの数は2である。リクエスト受付回路82は、転送バッファ管理テーブル81-1~2からの転送リクエスト8j-1~2に対してアクノリッジ信号8p-1~2を返すことにより、先頭ポインタ出力8hを制御する部分である。先頭ポインタ8hをリード制御部6へ通知すると、直ちに転送バッファのデータの読み出しが開始されるが、転送バッファのデータがリードされている間、前記読み出しデータの該当するポートを示すため、ポートイネーブル8q-1~2がオンとなる。ポート割当回路83は、組立中バッファ管理部9から通知された先頭ポインタと後尾ポインタを、転送バッファ管理テーブル81-1~2へ通知する。図19は3コネクションを収容するフレーム組立装置のポート割当回路83の一例であり、コネクション#1~#2は出力ポート1へ、コネクション#3は出力ポート2へポインタが通知される。

【0042】図20はリクエスト受付回路82の動作実施例を示すフローチャートである。本図の例では、コネクション数3、出力ポート数2、遅延に関する優先順位はポート1>ポート2の順位としている。状態s301ではポート1において転送待ちのバッファ列があるかどうかをポート1転送リクエスト8j-1によって判別する。ポート1転送リクエスト8j-1がオフの場合は状態s304へ進む。ポート1転送リクエスト8j-1がオンの場合は状態s302へ進み、ポート1アクノリッジ8p-1をオンとする。前記ポート1アクノリッジを受けて、ポート1転送バッファ管理テーブル81-1はポインタを先頭ポインタ出力8hに出力する。その後、状態s303では#1のフレームの転送期間ウェイトし、ウェイト期間が終了すると状態s301へ戻る。状態s304ではポート2において転送待ちのバッファ列があるかどうかをポート2転送リクエスト8j-2によって判別する。ポート2転送リクエスト8j-2がオフの場合は状態s301へ戻る。ポート2転送リクエスト8j-2がオンの場合は状態s305へ進み、ポート2アクノリッジ8p-2をオンとする。前記ポート2アクノリッジを受けて、ポート2転送バッファ管理テーブル81-2はポインタを先頭ポインタ出力8hに出力する。その後、状態s306ではポート2のフレームの転送期間ウェイトし、ウェイト期間が終了すると状態s301へ戻る。リクエスト受付回路82における上記の処理によって、遅延に関して出力ポート毎に異なる優先順位付けを実現することができる。

【0043】図21は転送バッファ管理部81-1~2の制御部8cが転送バッファをつなぐ際の処理を示すフローチャートである。状態s311では、組立中バッファ管理部9でフレーム組立が完了し、組立完了したフレームの先頭ポインタと後尾ポインタが通知される。状態s312では、転送バッファ列の存在を有無フラグ8fによって判定する。状態s312で有無フラグ8fがオ

ン(すなわち転送バッファ列有り)の場合は、既存の転送バッファ列に新たなバッファまたはバッファ列をつなぐ処理を行う。状態s 316および状態s 317はバッファまたはバッファ列をつなぐ具体的な処理内容を示している。状態s 316では、後尾ポインタ8bの指定するバッファのポインタエリアに、通知された先頭ポインタの値をライトする。状態s 317では、通知された後尾ポインタを新しい後尾ポインタ8bとする。状態s 312で有無フラグ8fがオフ(すなわち転送バッファ列無し)の場合は、バッファまたはバッファ列を転送バッファ管理部8に登録する処理を行う。状態s 313~s 315はバッファまたはバッファ列を転送バッファ列として登録する具体的な処理内容を示している。状態s 313では、通知された先頭ポインタを新しい先頭ポインタ8aとする。状態s 314では、通知された後尾ポインタを新しい後尾ポインタ8bとする。状態s 315では、転送バッファが存在しない状態から転送バッファ列に登録したので、転送バッファ列の存在を示す有無フラグ8fをオンにする。

【0044】図22は転送バッファ管理部81-1~2の制御部8cが転送バッファをはずす際の処理を示すフローチャートである。状態s 321では、リクエスト受付回路82からのアクノリッジ8p-1~2を監視し、オンの場合は状態s 322へ進む。状態s 322では、先頭ポインタ8aの内容をリード制御部6と空きバッファ管理部7へ通知する。これにより、共通メモリ1からは転送バッファ列の先頭のバッファのデータを読み出すとともに、読み出した転送バッファを空きバッファとして空きバッファ列につなぐ。その後、状態s 323では先頭ポインタ8aと後尾ポインタ8bの内容を比較するコンパレータ8dの出力を見る。状態s 323でコンパレータ8dが不一致を示す場合は、先頭ポインタ8aの指定するバッファの後に続く転送バッファ列が存在することを示しているため、先頭ポインタ8aを更新する。状態s 325は先頭ポインタ8aを更新する具体的な処理内容を示しており、先頭ポインタ8aの指定するバッファのポインタエリアの値を新しい先頭ポインタ8aとする。状態s 323でコンパレータ8dが一致を示す場合は、転送バッファ列が存在しないことを示しているため、状態s 324にて有無フラグ8fをオフにし、先頭ポインタ8aは更新しない。状態s 324およびs 325いずれの処理の場合でも、状態s 326にて共通バッファ1から転送バッファのデータがリードされている間、ポートイネーブル8qをオンにしながラウェイトする。そして、状態s 327にて、状態s 322で通知したポインタの指定するバッファのフレームエンドフラグ2bがオンであれば、再び状態s 322の処理へ戻る。なお、各転送バッファ管理テーブル81-1~2の構成、処理は同一であるため、図20~図22において出力ポートを表す添字は示していない。

【0045】上記に示す発明の実施の形態3によるフレーム組立装置では、リクエスト受付回路82によってポート1>ポート2の順にフレーム転送が優先されるため、ポート毎に異なる優先順位を実施することができる。なお、ここで示すリクエスト受付回路82は遅延に関してポート毎に異なる優先順位を実現するものであるが、ポート毎に異なるトラヒック特性やフレームレートを実施することも可能である。

【0046】実施の形態4. 以下、発明の実施の形態4について説明する。発明の実施の形態4によるフレーム組立装置は、発明の実施の形態1によるフレーム組立装置の発展型であり、転送バッファ管理部8の構成を高優先と低優先の2つ設け、高優先側はフレーム単位で、低優先側は固定長で転送することにより遅延に関する優先順位を実現するものである。

【0047】図23は発明の実施の形態4によるフレーム組立装置の転送バッファ管理部8の構成を示す図である。転送バッファ管理テーブル81-1は遅延に関して優先度の高いコネクションの転送バッファを管理し、転送バッファ管理テーブル81-2は遅延に関して優先度の低いコネクションの転送バッファを管理する。なお、転送バッファ管理テーブル81-1~2の構成は図15のとおりであるが、転送バッファ管理テーブルの制御部8cは高優先側と低優先側で処理が異なる。前記の異なる点については後述するフローチャートに記載する。リクエスト受付回路82は、転送バッファ管理テーブル81-1~2からの転送リクエスト8j-1~2に対してアクノリッジ信号8p-1~2を返すことにより、先頭ポインタ出力8hを制御する部分である。優先順位割当回路84は、組立中バッファ管理部9から通知された先頭ポインタと後尾ポインタを、転送バッファ管理テーブル81-1~2へ通知する。図24は3コネクションを収容するフレーム組立装置の優先順位割当回路84の一例であり、コネクション#1を高優先とし、コネクション#2~#3を低優先としている。

【0048】図25はリクエスト受付回路82の動作実施例を示すフローチャートである。状態s 401では高優先側の転送バッファ管理テーブル81-1にて転送待ちのバッファ列があるかどうかを転送リクエスト8j-1によって判別する。転送リクエスト8j-1がオフの場合は状態s 404へ進む。転送リクエスト8j-1がオンの場合は状態s 402へ進み、アクノリッジ8p-1をオンとする。前記アクノリッジ8p-1を受けて、高優先側の転送バッファ管理テーブル81-1は先頭ポインタの内容を先頭ポインタ出力8hに出力する。その後、状態s 403では高優先側のフレームの転送期間ウェイトし、ウェイト期間が終了すると、状態s 401へ戻る。状態s 404では低優先側の転送バッファ管理テーブル81-2にて転送待ちのバッファ列があるかどうかを転送リクエスト8j-2によって判別する。転送リ

クエスト8j-2がオフの場合は状態s401へ戻る。転送リクエスト8j-2がオンの場合は状態s405へ進み、アクノリッジ8p-2をオンとする。前記アクノリッジ8p-2を受けて、転送バッファ管理テーブル81-2は先頭ポインタの内容を先頭ポインタ出力8hに出力する。その後、状態s406では転送バッファのリード期間中ウェイトする。ウェイト期間が終了すると状態s401へ戻る。上記の処理により、低優先側の転送リクエスト8j-2に対して高優先側の転送リクエスト8j-1を優先的に処理することができる。

【0049】図26は制御部8cが転送バッファをつなぐ際の処理を示すフローチャートである。状態s411では、組立中バッファ管理部9でフレーム組立が完了し、組立完了したフレームの先頭ポインタと後尾ポインタが通知される。状態s412では、転送バッファ列の存在を有無フラグ8fによって判定する。状態s412で有無フラグ8fがオン（すなわち転送バッファ列有り）の場合は、既存の転送バッファ列に新たなバッファまたはバッファ列をつなぐ処理を行う。状態s416および状態s417はバッファまたはバッファ列をつなぐ具体的な処理内容を示している。状態s416では、後尾ポインタ8bの指定するバッファのポインタエリアに、通知された先頭ポインタの値をライトする。状態s417では、通知された後尾ポインタを新しい後尾ポインタ8bとする。状態s412で有無フラグ8fがオフ（すなわち転送バッファ列無し）の場合は、バッファまたはバッファ列を転送バッファ管理部8に登録する処理を行う。状態s413～s415はバッファまたはバッファ列を転送バッファ列として登録する具体的な処理内容を示している。状態s413では、通知された先頭ポインタを新しい先頭ポインタ8aとする。状態s414では、通知された後尾ポインタを新しい後尾ポインタ8bとする。状態s415では、転送バッファが存在しない状態から転送バッファ列に登録したので、転送バッファ列の存在を示す有無フラグ8fをオンにする。

【0050】図27は高優先側の転送バッファ管理テーブル81-1の制御部8c-1が転送バッファをはずす際の処理を示すフローチャートである。状態s421では、リクエスト受付回路82からのアクノリッジ8pを監視し、オンの場合は状態s422へ進む。状態s422では、先頭ポインタ8aの内容をリード制御部6と空きバッファ管理部7へ通知する。これにより、共通メモリ1からは転送バッファ列の先頭のバッファのデータを読み出すとともに、読み出した転送バッファを空きバッファとして空きバッファ列につなぐ。その後、状態s423では先頭ポインタ8aと後尾ポインタ8bの内容を比較するコンパレータ8dの出力を見る。状態s423でコンパレータ8dが不一致を示す場合は、先頭ポインタ8aの指定するバッファの後に続く転送バッファ列が存在することを示しているため、先頭ポインタ8aを更

新する。状態s425は先頭ポインタ8aを更新する具体的な処理内容をしており、先頭ポインタ8aの指定するバッファのポインタエリアの値を新しい先頭ポインタ8aとする。状態s423でコンパレータ8dが一致を示す場合は、転送バッファ列が存在しないことを示しているため、状態s424にて有無フラグ8fをオフにし、先頭ポインタ8aは更新しない。状態s424およびs425いずれの処理の場合でも、状態s426にて共通バッファ1から転送バッファのデータがリードされている間、ポートイネーブル8qをオンにしながらウェイトする。そして、状態s427にて、状態s422で通知したポインタの指定するバッファのフレームエンドフラグ2bがオンであれば、再び状態s422の処理へ戻る。

【0051】図28は低優先側の転送バッファ管理テーブル81-2の制御部8c-2が転送バッファをはずす際の処理を示すフローチャートである。図27に示す処理と異なる点は、状態s426で処理が終了することである。つまり、高優先側の転送バッファ管理テーブル81-1の制御部8c-1ではフレーム単位で転送バッファを通知するのに対し、低優先側の転送バッファ管理テーブル81-2の制御部8c-2ではバッファ単位で通知する。

【0052】図29は低優先フレームの出力中に高優先フレームの転送リクエストがある場合のフレーム出力を示す図である。ここでは例として、コネクション情報4-5と固定バッファ長2サイズ分のデータ4-6、4-7から構成される#1フレームと、コネクション情報4-1と固定バッファ長3サイズ分のデータ4-2、4-3a、4-3b、4-4から構成される#2フレームをあげている。そして、遅延に関する優先度は#1>#2とし、#2フレームの転送期間中に#1フレームの転送リクエスト8j-1がある場合のフレーム出力を示している。以下、図29の流れに沿って説明する。まず、#2の転送リクエスト8j-2があり、#2フレーム4-1が転送される。ここで、#2データ4-3aを転送中に#1転送リクエスト8j-1があると、フレーム組立装置は前記#2データ4-3を転送後のバッファサイズの区切りで#2のフレームのリードを中断し、#1フレーム4-5～7の転送を行う。前記#1フレーム4-5～7転送後は、#2コネクション情報4-1を出力し、#2フレームの残りのデータ4-4をリードする。この場合、リード制御部6では、リードデータのコネクションが変化する度にバッファのコネクション情報2cをリードすることで、上位に対してコネクション情報を通知することができる。

【0053】上記に示す発明の実施の形態4によるフレーム組立装置では、転送バッファ管理テーブルを2つ設け、高優先側はフレーム単位で、低優先側はバッファ単位で転送バッファを読み出すことにより、遅延に関する

優先制御を実現することができる。なお、本実施の形態では、低優先のフレームをバッファ単位で読み出すが、高優先フレームよりも短い固定長単位であればバッファ単位でなくてよい。

【0054】実施の形態5. 以下、発明の実施の形態5について説明する。発明の実施の形態5によるフレーム組立装置は、発明の実施の形態1によるフレーム組立装置の発展型であり、転送バッファ管理部8の構成を優先順位毎に複数設け、遅延に関する優先順位を実現するものである。

【0055】図30は発明の実施の形態5によるフレーム組立装置の転送バッファ管理部8の構成を示す図である。この例では遅延に関する優先順位を2種類設け、転送バッファ管理テーブル81-1は遅延に関して優先度の高いコネクションの転送バッファを管理し、転送バッファ管理テーブル81-2は遅延に関して優先度の低いコネクションの転送バッファを管理する。リクエスト受付回路82は、転送バッファ管理テーブル81-1～2からの転送リクエスト8j-1～2に対してアクノリッジ信号8p-1～2を返すことにより、先頭ポインタ出力8hを制御する部分である。優先順位割当回路84は、組立中バッファ管理部9から通知された先頭ポインタと後尾ポインタを転送バッファ管理テーブル81-1～2へ通知するものであり、例えば図24に示す優先順位割当回路84と同一であってもよい。

【0056】図31はリクエスト受付回路82の動作実施例を示すフローチャートである。状態s501では高優先側の転送バッファ管理テーブル81-1にて転送待ちのバッファ列があるかどうかを転送リクエスト8j-1によって判別する。転送リクエスト8j-1がオフの場合は状態s504へ進む。転送リクエスト8j-1がオンの場合は状態s502へ進み、アクノリッジ8p-1をオンとする。前記アクノリッジ8p-1を受けて、高優先側の転送バッファ管理テーブル81-1は先頭ポインタの内容を先頭ポインタ出力8hに出力する。その後、状態s503では転送中信号8kがオンの間、すなわちデータリード期間中ウェイトし、ウェイト期間が終了すると状態s501へ戻る。状態s504では、転送中信号8kがオンの場合は低優先側のデータ転送中であるため、状態s501へ戻る。状態s504では、転送中信号8kがオフの場合は、状態s505へ進み、低優先側の転送バッファ管理テーブル81-2にて転送待ちのバッファ列があるかどうかを転送リクエスト8j-2によって判別する。転送リクエスト8j-2がオフの場合は状態s501へ戻る。転送リクエスト8j-2がオンの場合は状態s506へ進み、アクノリッジ8p-2をオンとする。前記アクノリッジ8p-2を受けて、転送バッファ管理テーブル81-2は先頭ポインタの内容を先頭ポインタ出力8hに出力する。その後、ウェイトすることなく、状態s501へ戻る。上記の処理によ

り、低優先側の転送リクエスト8j-2に対して高優先側の転送リクエスト8j-1を即座に優先的に処理することができる。

【0057】図32はリード制御部6の構成を示す図である。リードアドレス生成回路61は先頭ポインタ出力8hを受けて、ポインタの指定するバッファに対応するリードアドレス6aを出力する。リードアドレス出力中は転送中信号8kをオンにする。リードパルス生成回路63はリードパルス生成指示6sを受けて、リードパルス6bを出力する。アドレスレジスタ62は、低優先のバッファのデータをリード中に高優先の転送リクエスト8j-1を受けた場合に、前記低優先のバッファにおけるリードアドレスを保持する。その際、リードアドレス生成回路61は前記低優先のバッファのリードを中断し、高優先のバッファのリードを優先する。そして、高優先のバッファのリードが途切れた際に、アドレスレジスタ出力6rを参照して低優先のバッファのデータのリードを再開する。

【0058】図33は低優先フレームの出力中に高優先フレームの転送リクエストがある場合のフレーム出力を示す図である。ここでは例として、コネクション情報4-5と固定バッファ長2サイズ分のデータ4-6、4-7から構成される#1フレームと、コネクション情報4-1と固定バッファ長3サイズ分のデータ4-2、4-3a、4-3b、4-4から構成される#2フレームをあげている。そして、遅延に関する優先度は#1>#2とし、#2フレームの転送期間中に#1フレームの転送リクエスト8j-1がある場合のフレーム出力を示している。以下、図33の流れに沿って説明する。まず、#2の転送リクエスト8j-2があり、#2フレーム4-1が転送される。ここで、#2データ4-3aを転送中に#1転送リクエスト8j-1があると、リード制御部6は最後にリードした#2データ4-3aのアドレスをアドレスレジスタ62に保持する。そして、#1フレーム4-5～7のリードを行う。リード終了後、#2コネクション情報4-1を出力し、アドレスレジスタ出力6rの次のアドレスからデータ4-3b、4-4のリードを再開する。リード制御部6では、リードデータのコネクションが変化する度にバッファのコネクション情報2cをリードすることで、上位に対してコネクション情報を通知することができる。

【0059】上記に示す発明の実施の形態5によるフレーム組立装置では、転送バッファ管理テーブルを2つ設け、低優先側の転送バッファのデータを読み出し中であっても、高優先側の転送リクエストがあれば直ちに低優先側の読み出しを中断し、高優先側の転送バッファのデータの読み出しを開始することにより、遅延に関する優先制御を実現することができる。なお、本実施の形態では、優先順位を2つ設定したが、3つ以上の優先順位であってもよい。また、上記説明ではコネクション単位で

優先度を設ける場合を説明したが、例えば外部からの指令によってポート毎に優先度を都度変更し、ポート毎の優先度制御としてもよい。

#### 【0060】

【発明の効果】以上のように本発明によれば、転送バッファ管理部において、転送列有無フラグと先頭ポインタと後尾ポインタの内容を比較して上記有無フラグを制御するコンパレータを設けたので、転送バッファ列の有無を直ちに確認できる。即ち、小規模で無駄のないハードウェア制御により転送の必要の有無が判る効果がある。

【0061】また、上記転送バッファ管理部の構成をコネクション毎またはポート毎に設けることにより、複数コネクションを収容するフレーム組立装置にてコネクション毎または出力ポート毎に異なるサービスを実施できる効果がある。

【0062】また、上記転送バッファ管理部の構成を遅延に関する優先順位毎に複数設け、フレームを読み出し中により優先度の高い転送リクエストがある場合は直ちに優先度の高いフレームを読み出すことにより、遅延に関する優先順位を実現できる効果がある。

【0063】また、空きバッファ列からバッファをはずす際に先頭ポインタと後尾ポインタの内容を比較して一致している場合に有無フラグをオフにするので、空きバッファ列の有無を直ちに確認できる効果がある。

#### 【図面の簡単な説明】

【図1】 発明の実施の形態1におけるフレーム組立装置の全体の構成の例を示す図である。

【図2】 本発明によるフレーム組立装置の共通メモリに存在するバッファの構成を示す図である。

【図3】 実施の形態1におけるフレーム組立装置の共通メモリに存在するバッファ列を示す図である。

【図4】 実施の形態1におけるフレーム組立装置の転送バッファ管理部の構成を示す図である。

【図5】 実施の形態1におけるフレーム組立装置で転送バッファをつなぐ処理を示すフローチャート図である。

【図6】 実施の形態1におけるフレーム組立装置で転送バッファをはずす処理を示すフローチャート図である。

【図7】 実施の形態1におけるフレーム組立装置の組立中バッファ管理部の構成を示す図である。

【図8】 実施の形態1におけるフレーム組立装置の組立中バッファ管理部の処理を示すフローチャート図である。

【図9】 実施の形態1におけるフレーム組立装置の空きバッファ管理部の構成を示す図である。

【図10】 実施の形態1におけるフレーム組立装置で転送バッファを空きバッファとしてつなぐ際の処理を示すフローチャート図である。

【図11】 実施の形態1におけるフレーム組立装置で

エラーとなった組立中バッファ列を空きバッファとしてつなぐ処理を示すフローチャート図である。

【図12】 実施の形態1におけるフレーム組立装置で空きバッファをはずす処理を示すフローチャート図である。

【図13】 実施の形態2におけるフレーム組立装置の転送バッファ管理部の構成を示す図である。

【図14】 実施の形態2におけるフレーム組立装置のリクエスト受付回路の動作実施例を示すフローチャート図である。

【図15】 実施の形態2におけるフレーム組立装置の転送バッファ管理テーブルの構成を示す図である。

【図16】 実施の形態2におけるフレーム組立装置で転送バッファをつなぐ処理を示すフローチャート図である。

【図17】 実施の形態2におけるフレーム組立装置で転送バッファをはずす処理を示すフローチャート図である。

【図18】 実施の形態3におけるフレーム組立装置の転送バッファ管理部の構成を示す図である。

【図19】 実施の形態3におけるフレーム組立装置のポート割当回路の構成を示す図である。

【図20】 実施の形態3におけるフレーム組立装置のリクエスト受付回路の動作実施例を示すフローチャート図である。

【図21】 実施の形態3におけるフレーム組立装置で転送バッファをつなぐ処理を示すフローチャート図である。

【図22】 実施の形態3におけるフレーム組立装置で転送バッファをはずす処理を示すフローチャート図である。

【図23】 実施の形態4におけるフレーム組立装置の転送バッファ管理部の構成を示す図である。

【図24】 実施の形態4におけるフレーム組立装置の優先順位割当回路の構成を示す図である。

【図25】 実施の形態4におけるフレーム組立装置のリクエスト受付回路の動作実施例を示すフローチャート図である。

【図26】 実施の形態4におけるフレーム組立装置で転送バッファをつなぐ処理を示すフローチャート図である。

【図27】 実施の形態4におけるフレーム組立装置で高優先側の転送バッファをはずす処理を示すフローチャート図である。

【図28】 実施の形態4におけるフレーム組立装置で低優先側の転送バッファをはずす処理を示すフローチャート図である。

【図29】 実施の形態4におけるフレーム組立装置で低優先フレームの出力中に高優先フレームの転送リクエストがある場合の動作を示す図である。

【図30】 実施の形態5におけるフレーム組立装置の転送バッファ管理部の構成を示す図である。

【図31】 実施の形態5におけるフレーム組立装置のリクエスト受付回路の動作実施例を示すフローチャート図である。

【図32】 実施の形態5におけるフレーム組立装置のリード制御部の構成を示す図である。

【図33】 実施の形態5におけるフレーム組立装置におけるフレーム出力の実施例を示す図である。

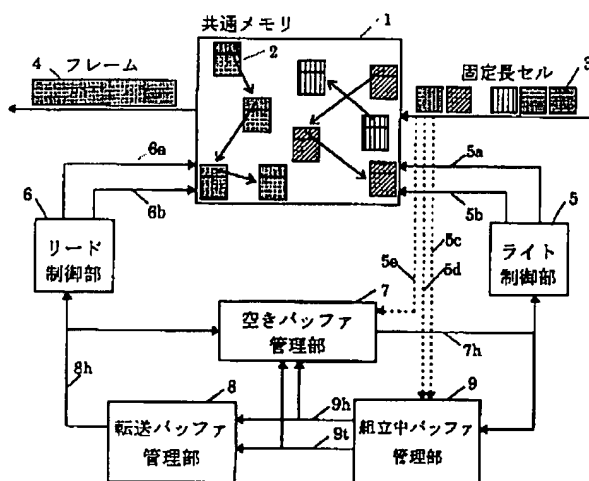
【図34】 従来の受信バッファ管理方式を示す図である。

【符号の説明】

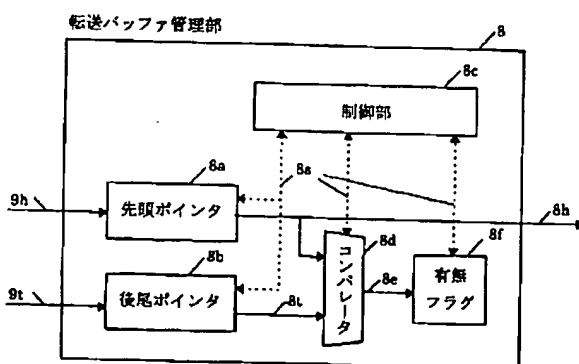
1 共通メモリ、2 バッファ、3 固定長セル、4 フレーム、5 ライト制御部、5a ライトアドレス出力、5b ライトアドレス出力、5c コネクション情報、5d フレームエンド情報、5e セル受信通知、6 リード制御部、61 リードアドレス生成回路、62 アドレスレジスタ、63 リードパルス生成回路、6a リードアドレス出力、6b ライトアドレス出力、6r アドレスレジスタ出力、6s リードパルス生

成指示、7 空きバッファ管理部、7a 先頭ポインタ、7b 後尾ポインタ、7c 制御部、7d コンパレータ、7e コンパレータ出力、7f 有無フラグ、7h 先頭ポインタ出力、7t 後尾ポインタ出力、7s 制御信号、8 転送バッファ管理部、81 転送バッファ管理テーブル、82 リクエスト受付回路、83 ポート割当回路、84 優先順位割当回路、8a 先頭ポインタ、8b 後尾ポインタ、8c 制御部、8d コンパレータ、8e コンパレータ出力、8f 有無フラグ、8h 先頭ポインタ出力、8t 後尾ポインタ出力、8j 転送リクエスト、8k 転送中信号、8p アクノリッジ、8q ポートイネーブル、8s 制御信号、9 組立中バッファ管理部、9a 先頭ポインタ、9b 後尾ポインタ、9c 制御部、9f 組立中フラグ、9h 先頭ポインタ出力、9t 後尾ポインタ出力、9s 制御信号、9u 組立中バッファ管理テーブル、111 (サイズaの) 空きバッファ、112 (サイズbの) 空きバッファ、113 受信済みバッファ、121、122 空きバッファディスクリプタ、123 受信済みバッファディスクリプタ。

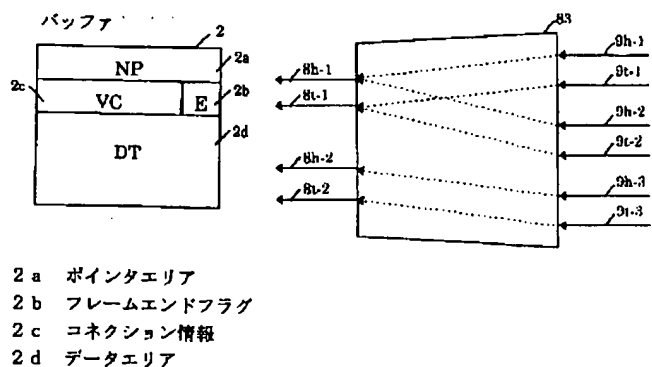
【図1】



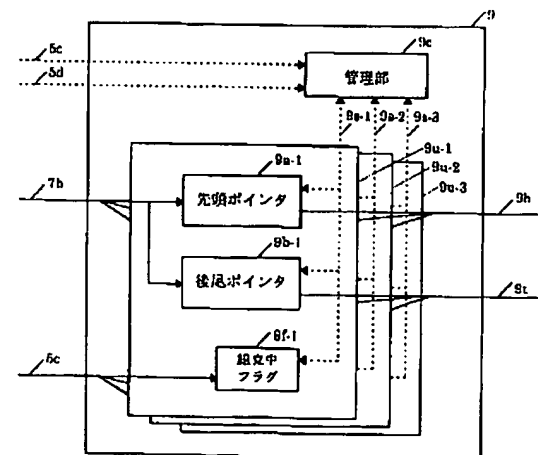
【図4】



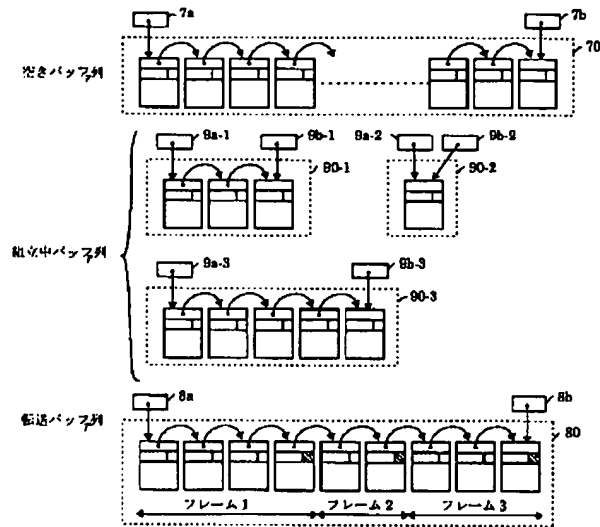
【図2】



【図19】

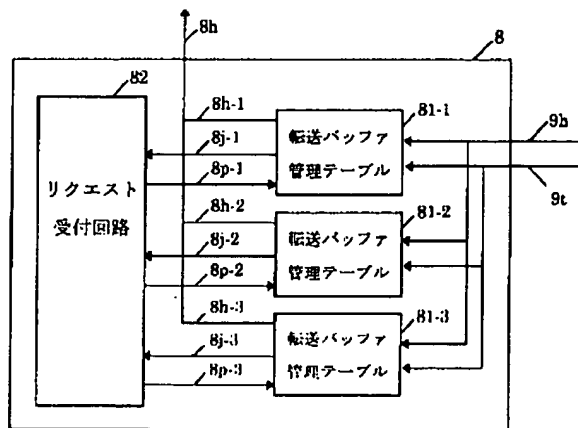


【図3】

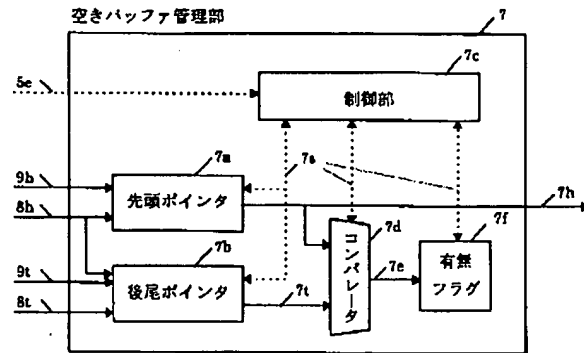


70 空きバッファ列  
 7a 空きバッファ列先頭ポインタ  
 7b 空きバッファ列後尾ポインタ  
 80 転送バッファ列  
 8a 転送バッファ列先頭ポインタ  
 8b 転送バッファ列後尾ポインタ  
 90 組立中バッファ列  
 9a 組立中バッファ列先頭ポインタ  
 9b 組立中バッファ列後尾ポインタ  
 なお、90、9a、9bに対する番号は  
 コネクション#1、#2、#3に対応している。

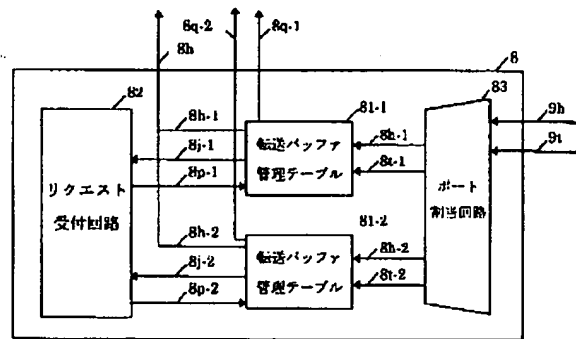
【図13】



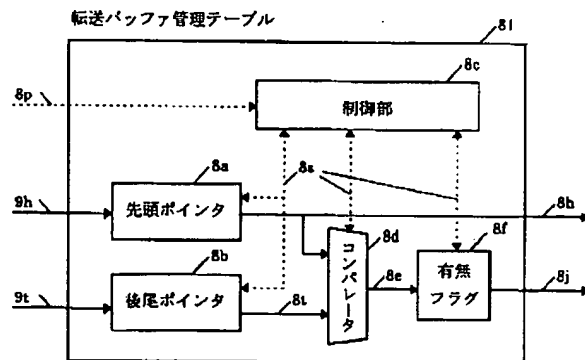
【図9】



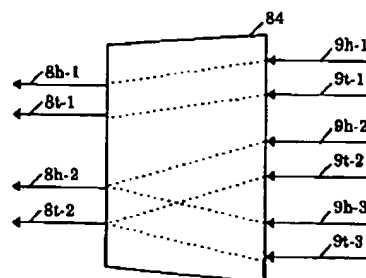
【図18】



【図15】

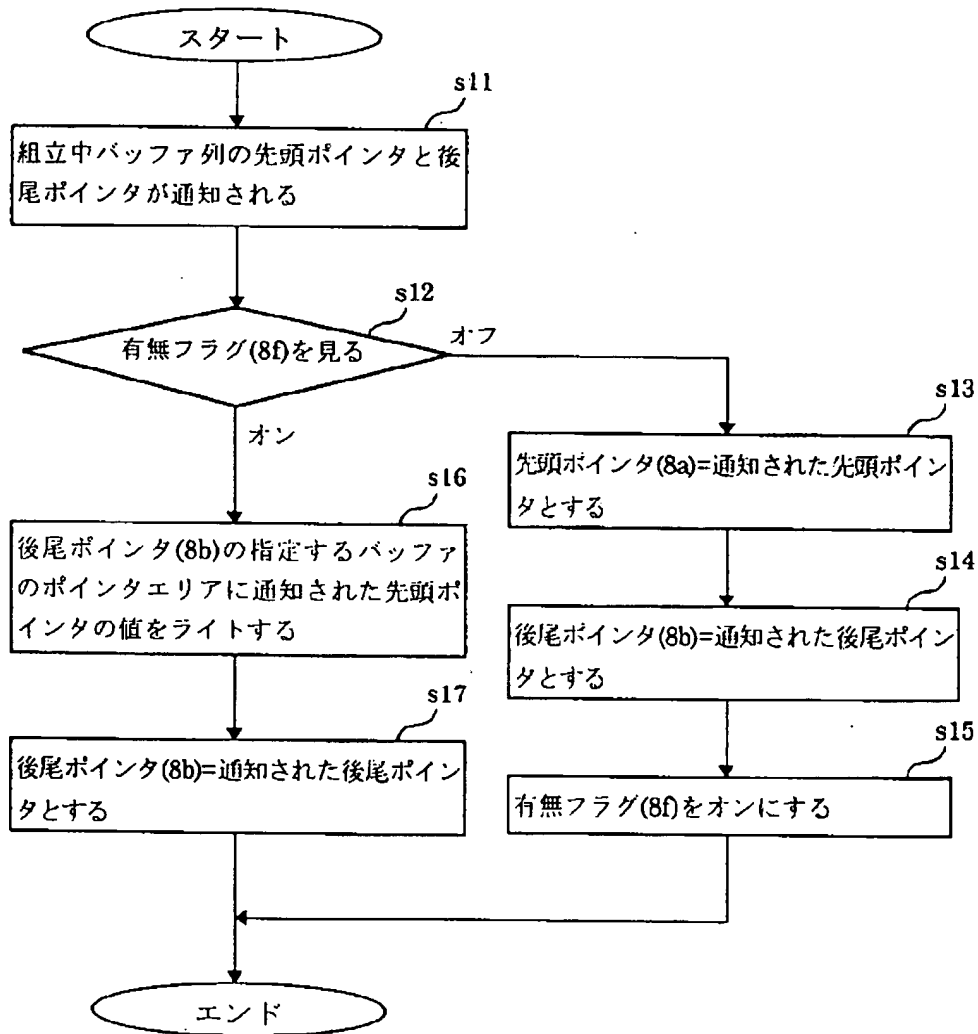


【図24】

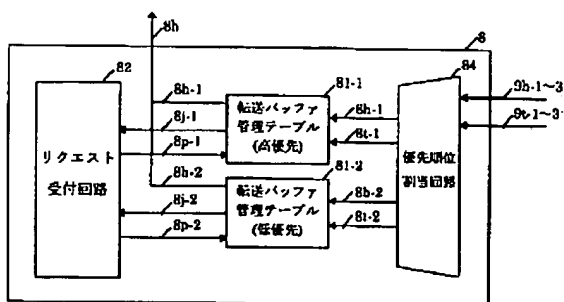




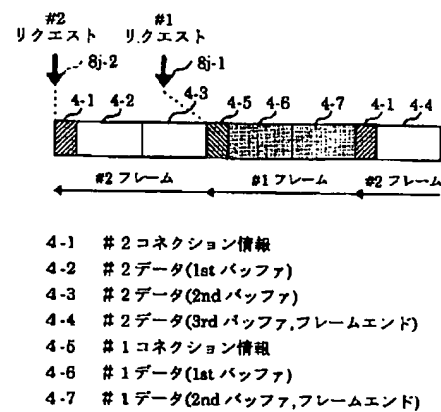
【図5】



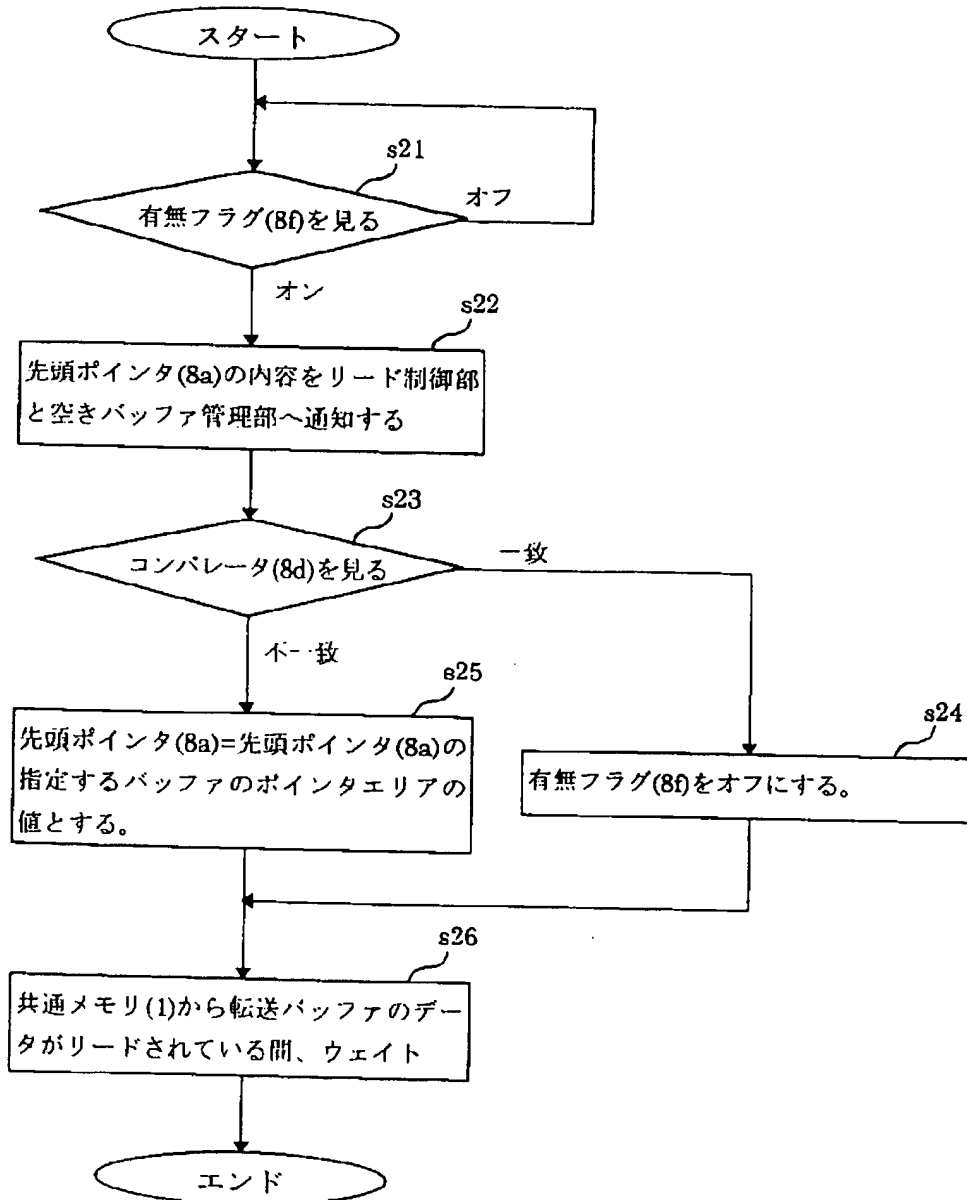
【図23】



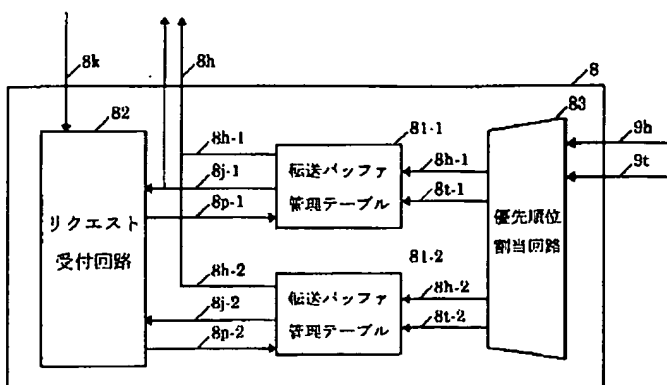
【図29】



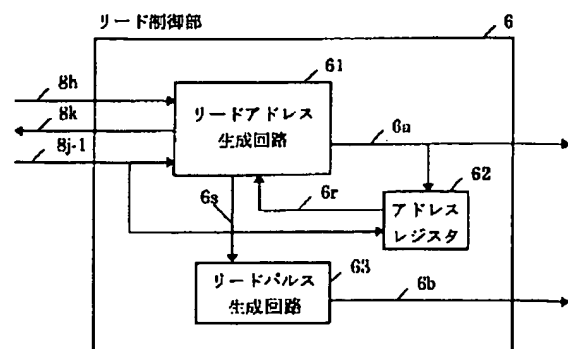
【図6】



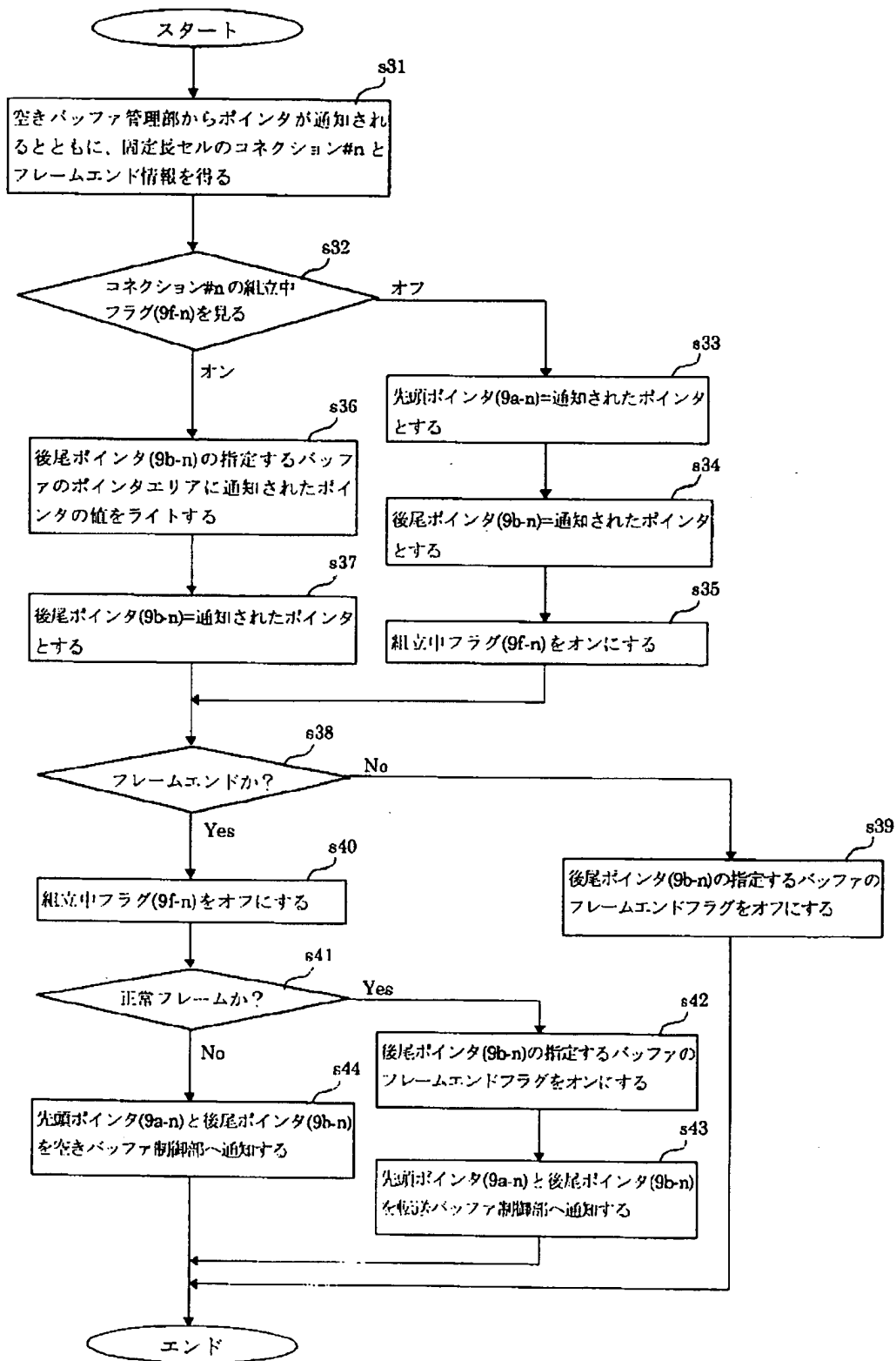
【図30】



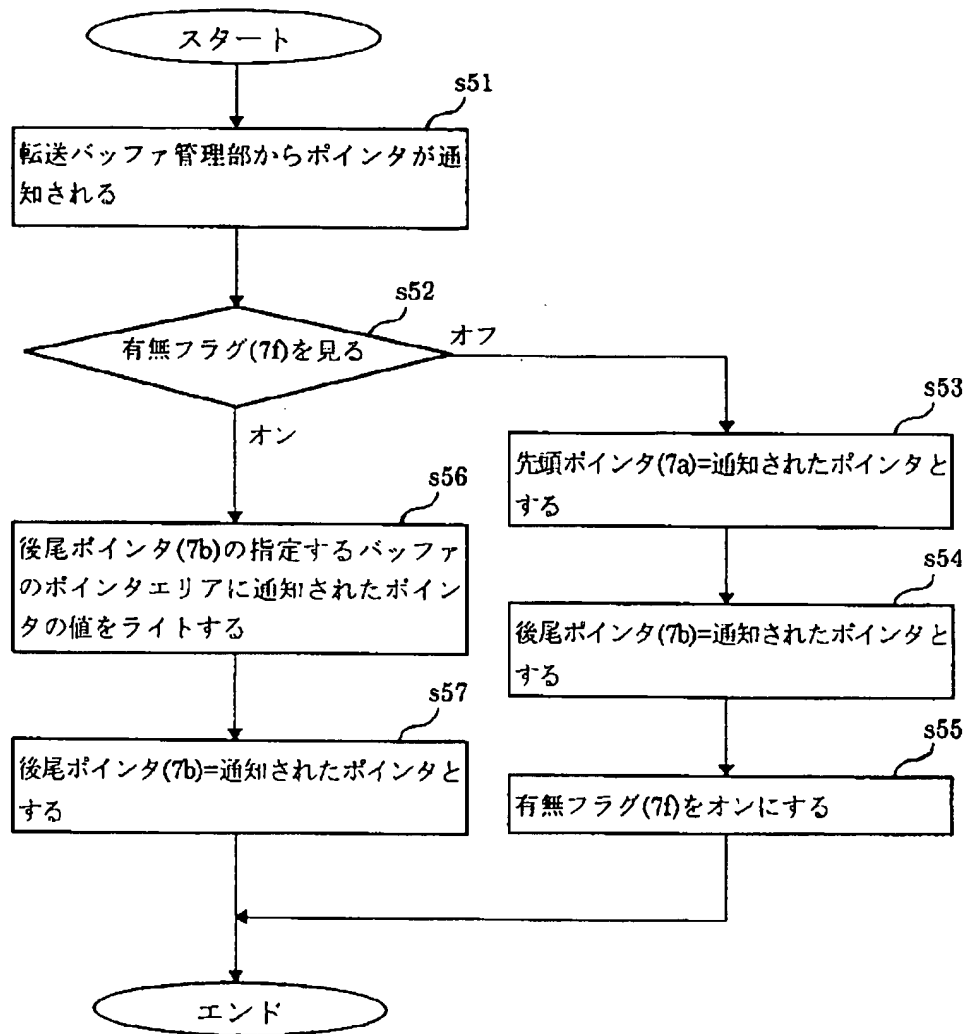
【図32】



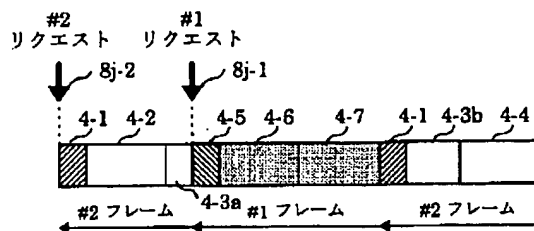
【図8】



【図10】

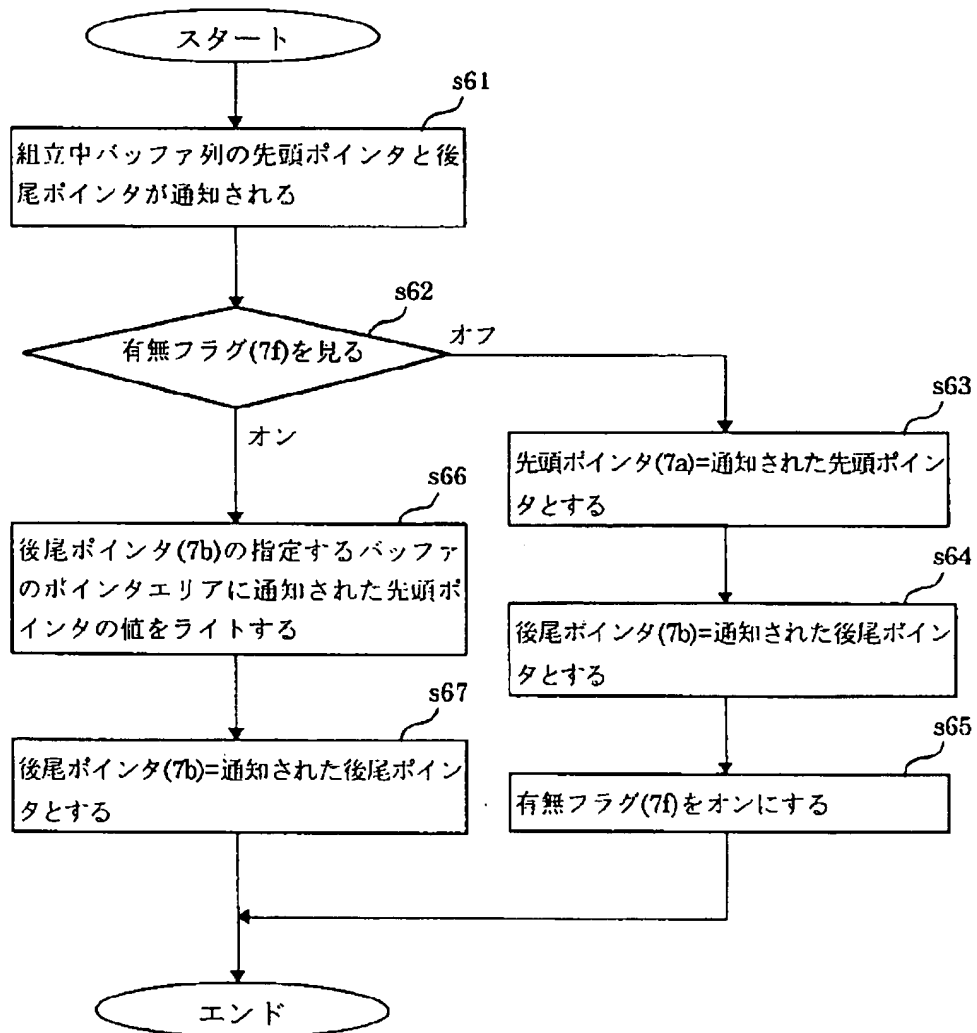


【図33】

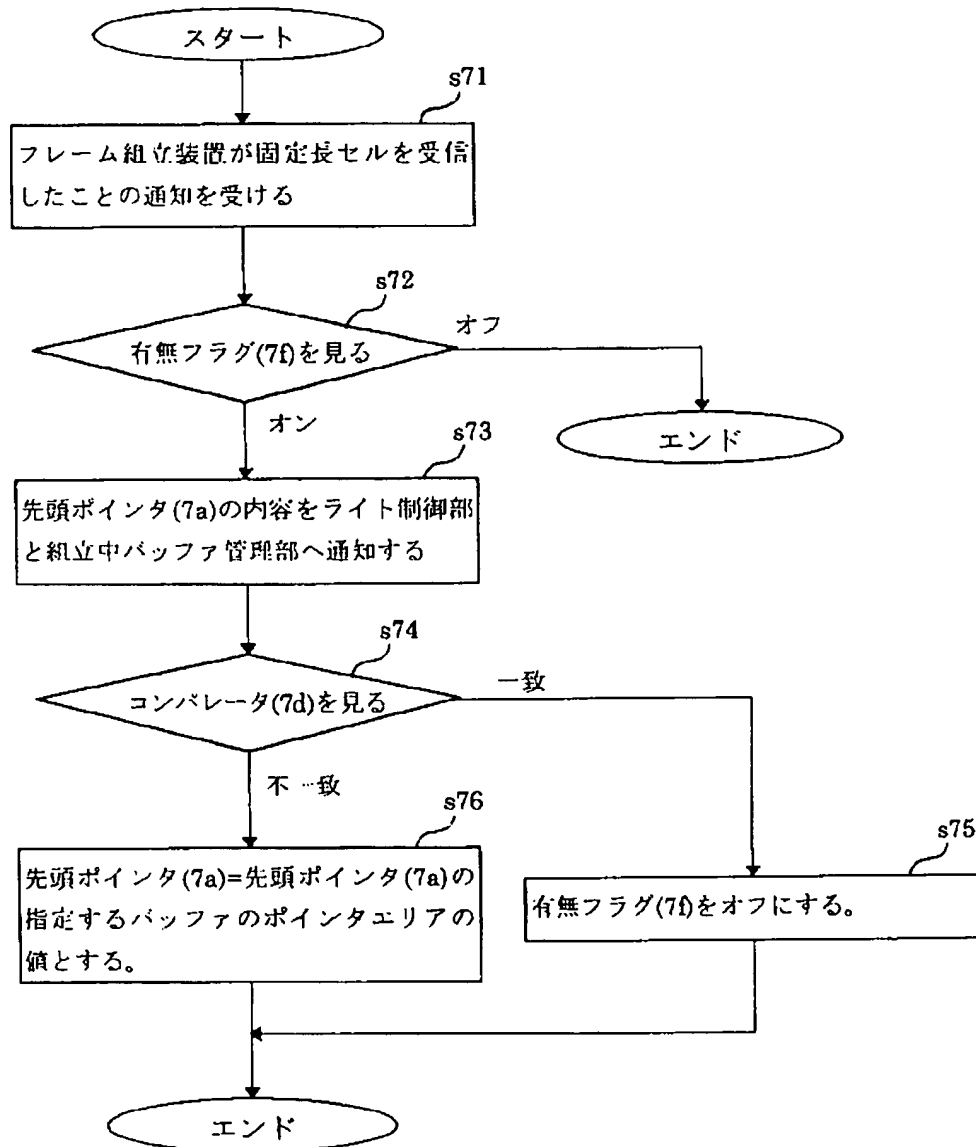


- 4-1 #2 コネクション情報
- 4-2 #2 データ(1st バッファ)
- 4-3a, 4-3b #2 データ(2nd バッファ)
- 4-4 #2 データ(3rd バッファ, フレームエンド)
- 4-5 #1 コネクション情報
- 4-6 #1 データ(1st バッファ)
- 4-7 #1 データ(2nd バッファ, フレームエンド)

【図11】



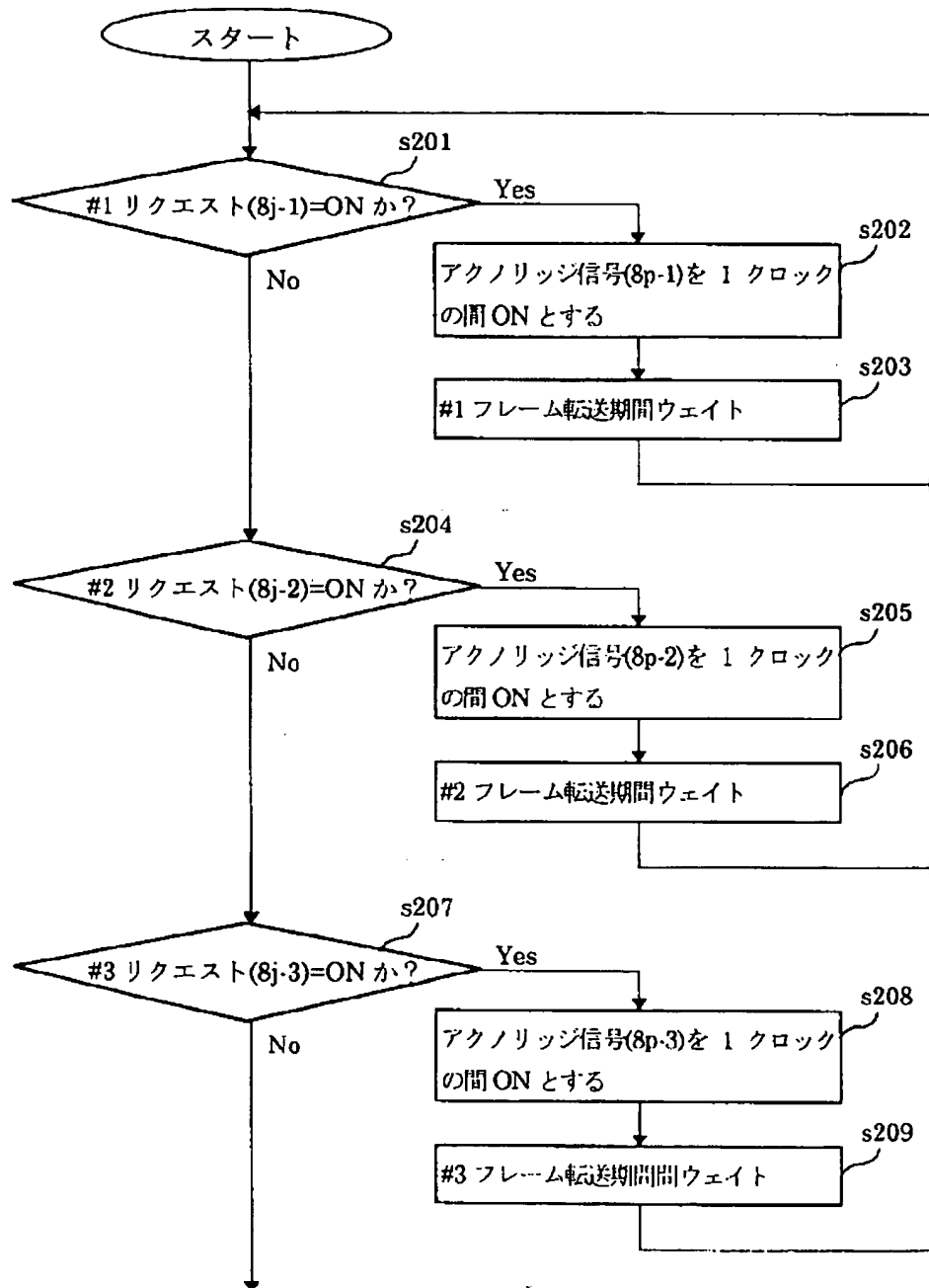
【図12】



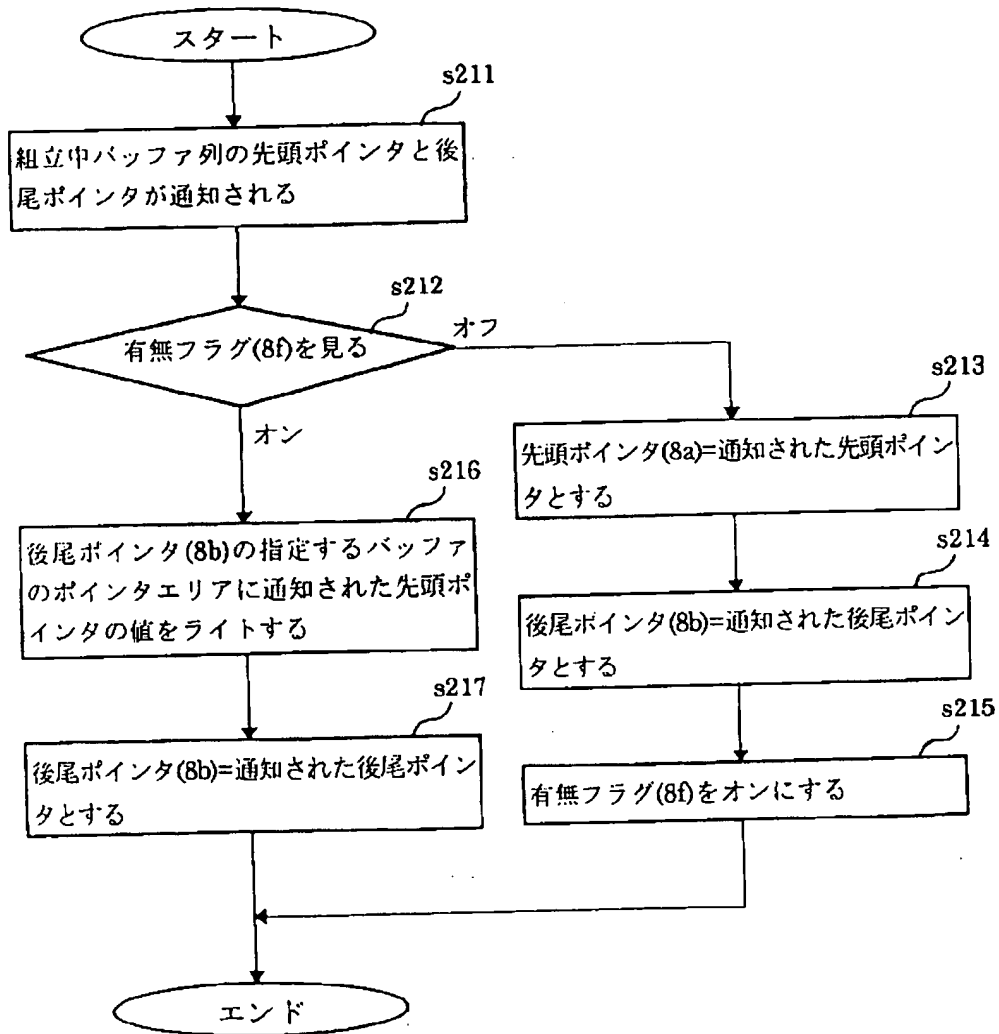
【図14】

リクエスト受付回路の動作実施例

コネクション数: 3、優先順位: #1&gt;#2&gt;#3

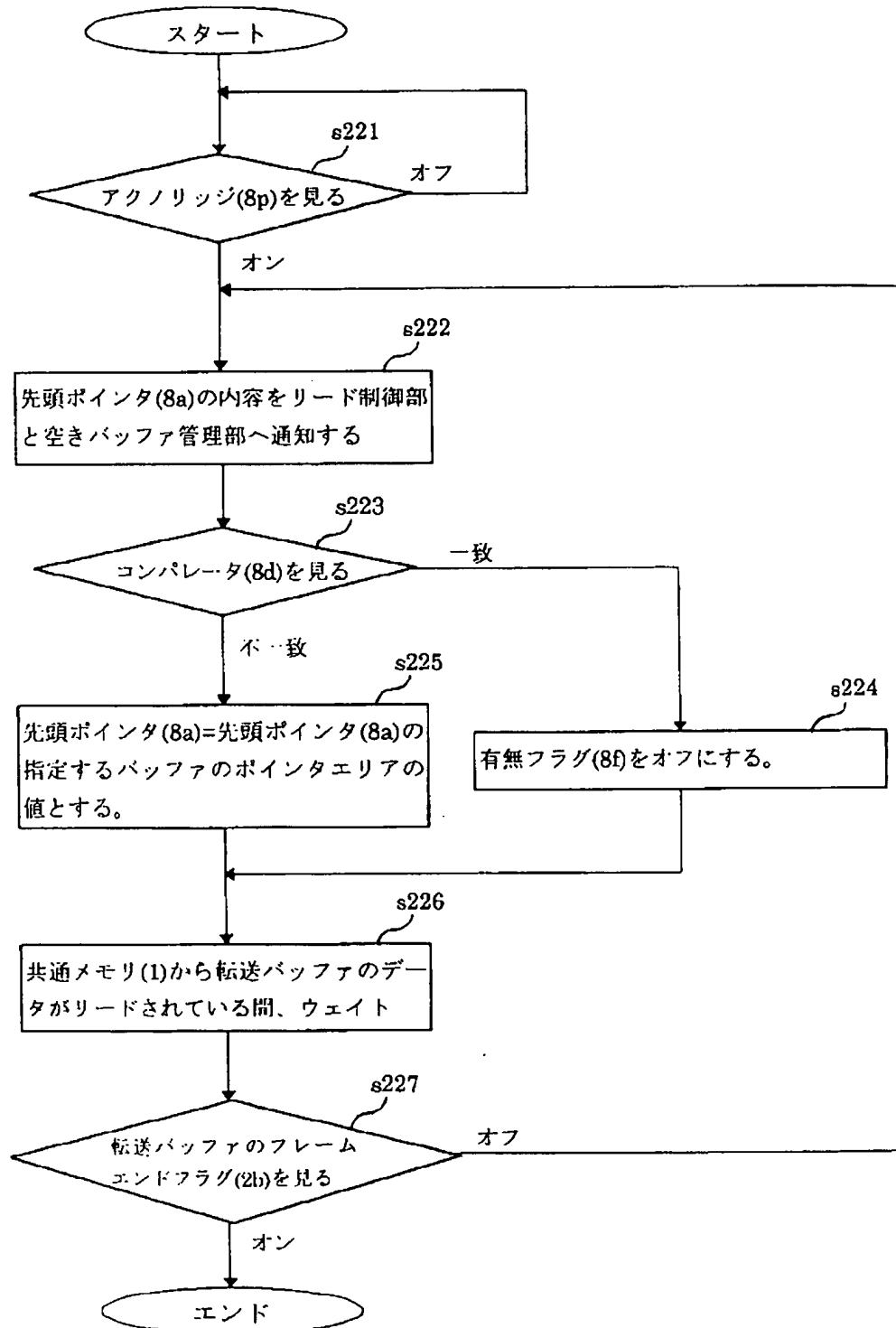


【図16】

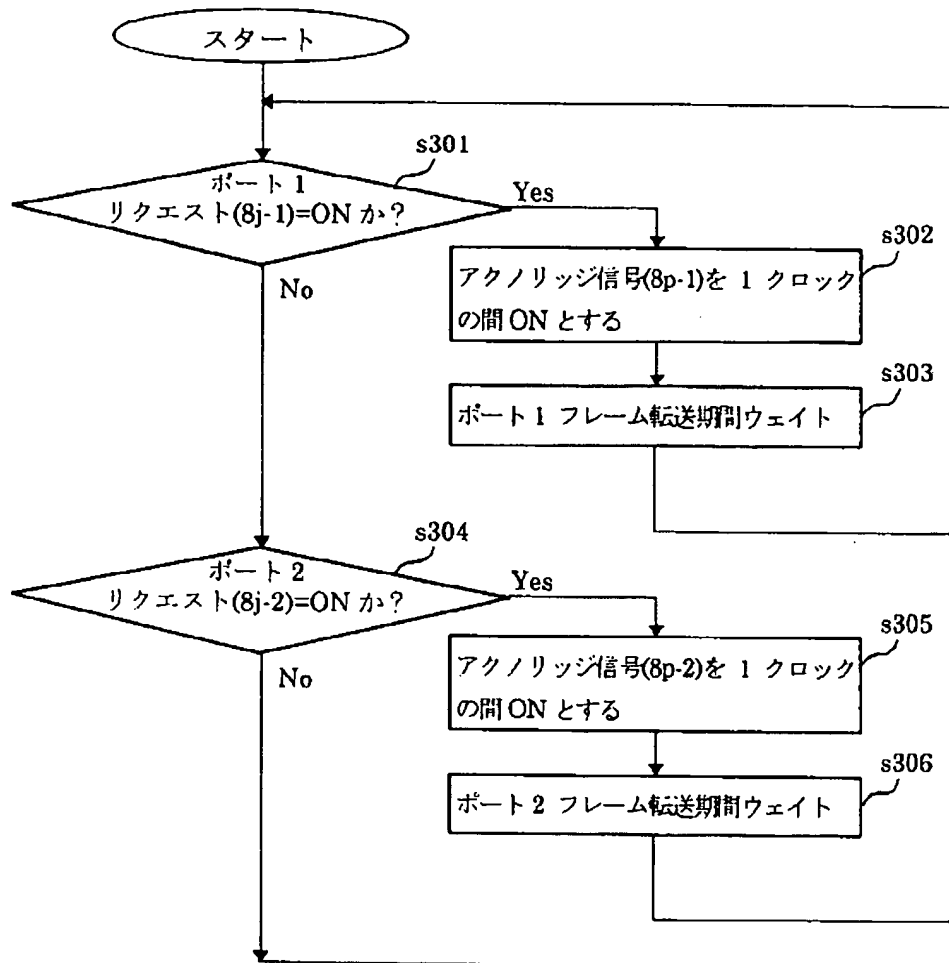




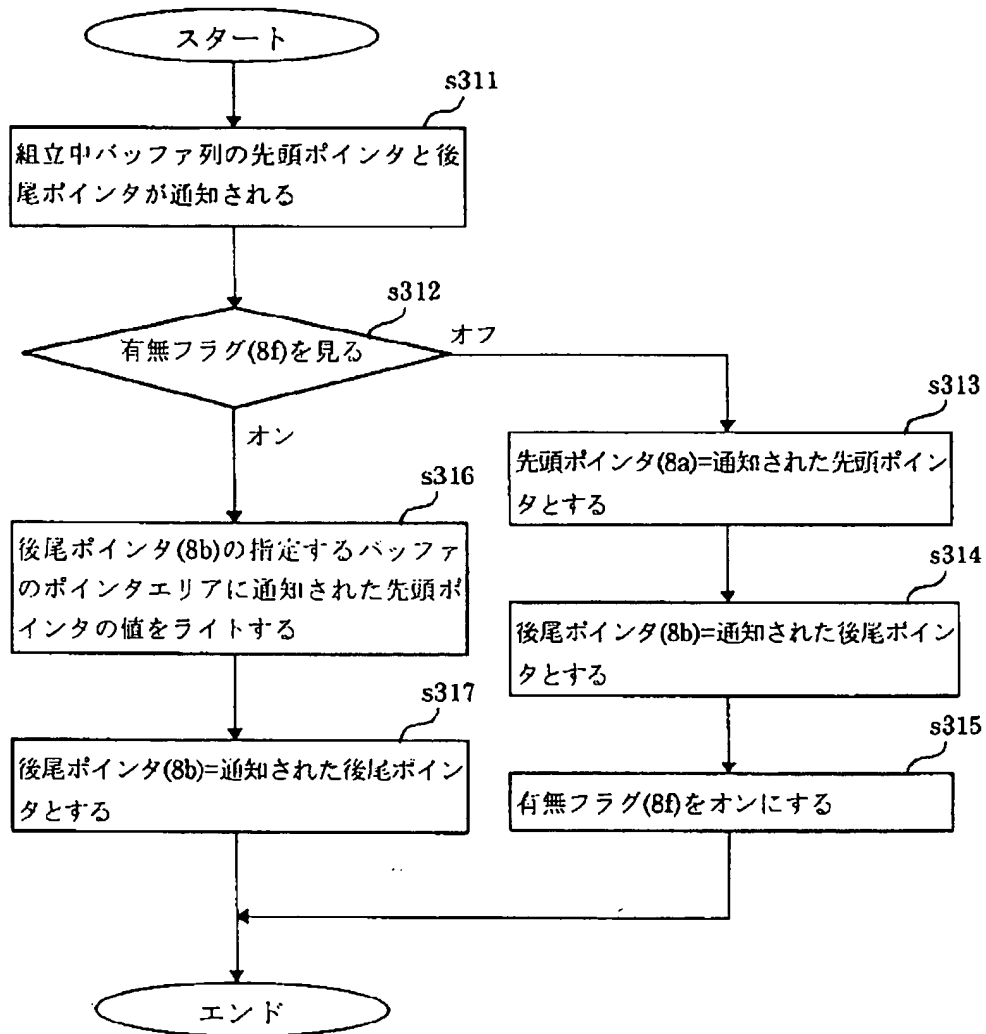
【図17】



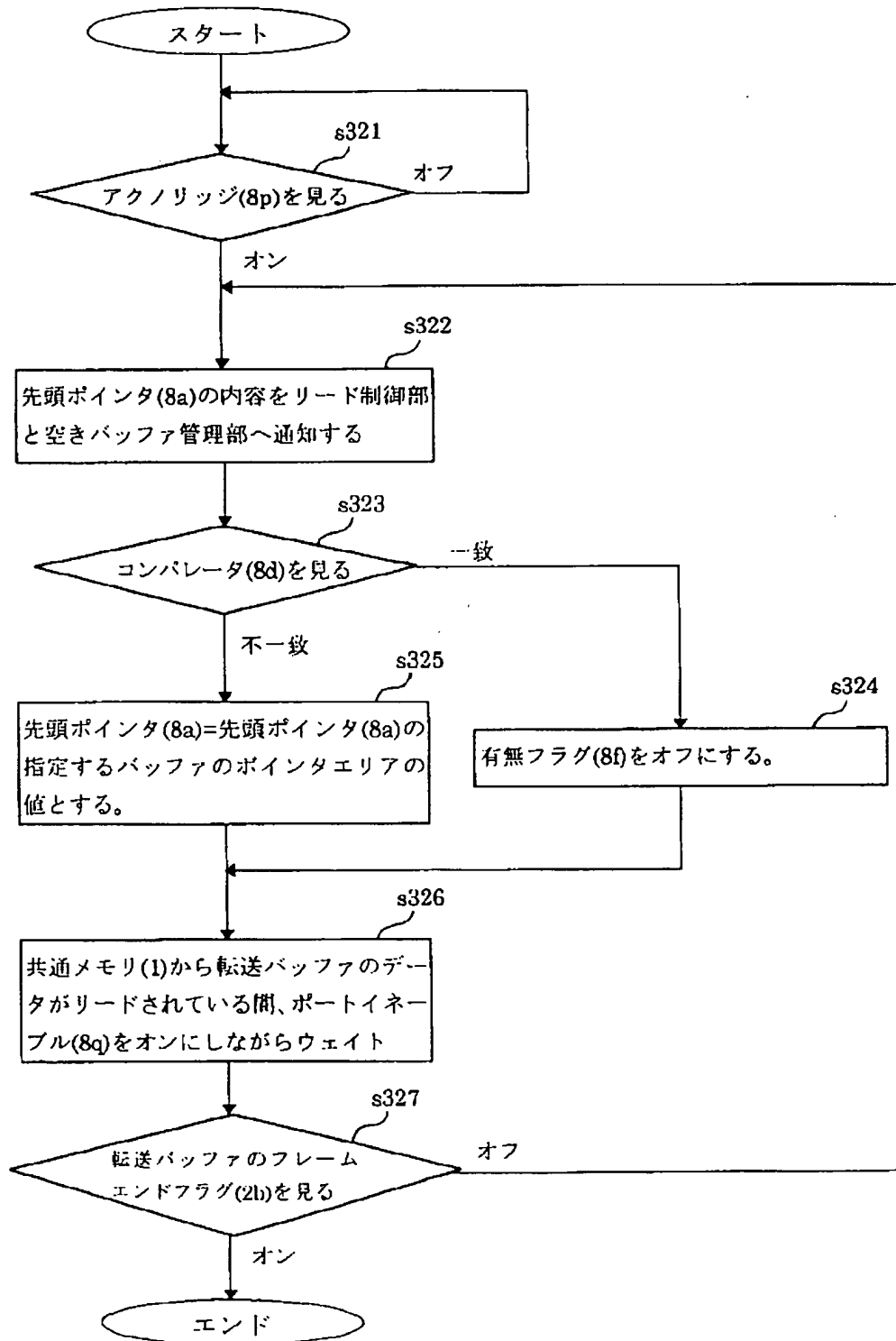
【図20】

リクエスト受付回路の動作実施例コネクション数：3、出力ポート数：2、優先順位：ポート1>ポート2

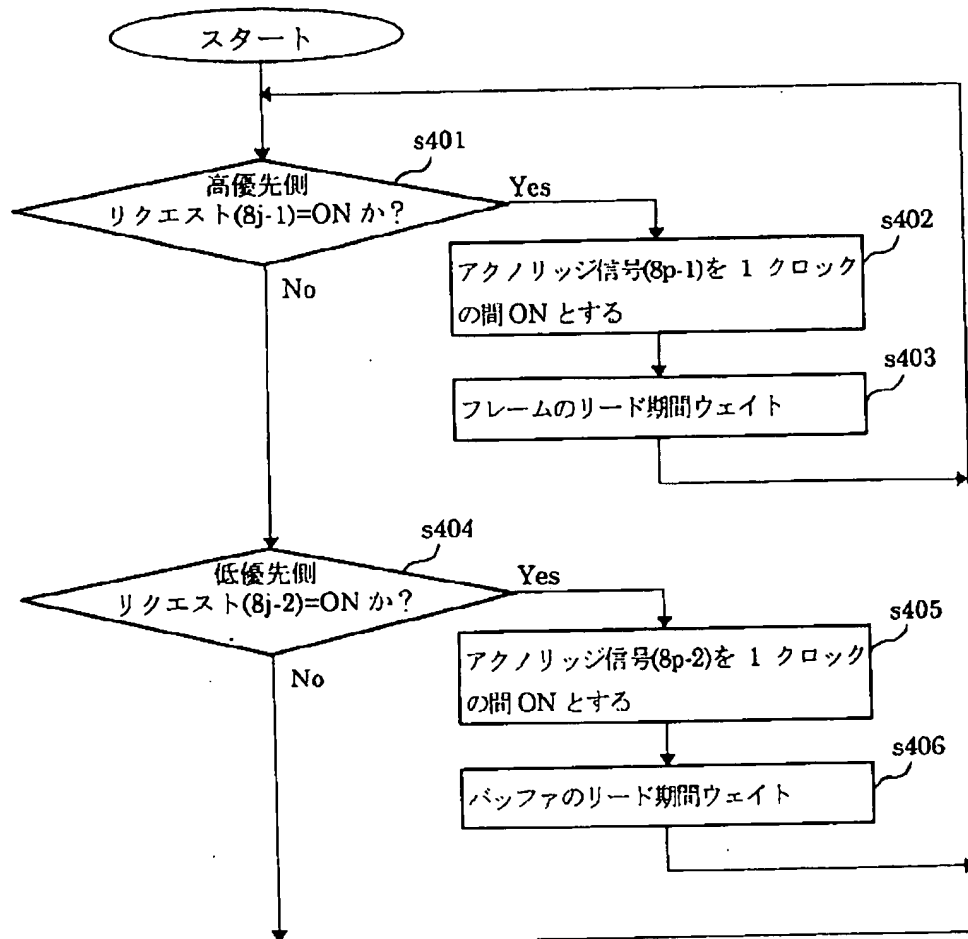
【図21】



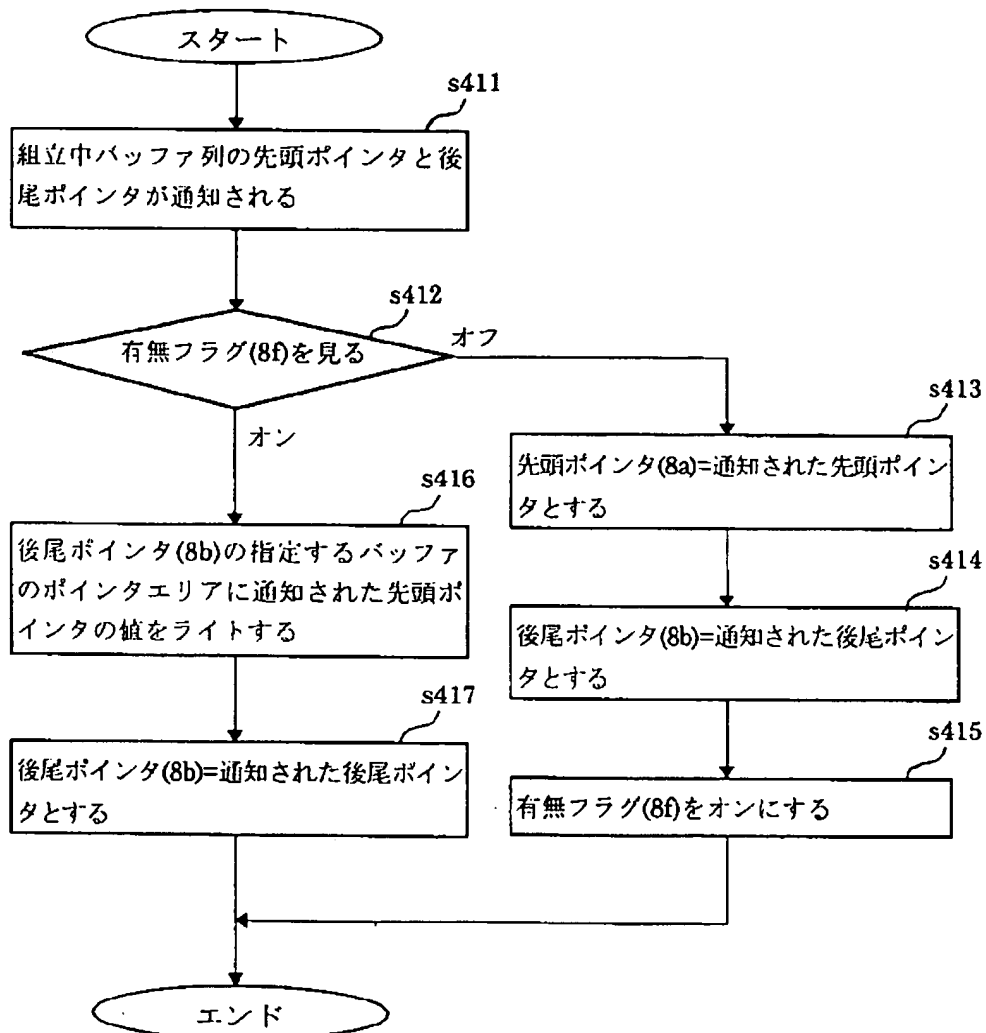
【図22】



【図25】

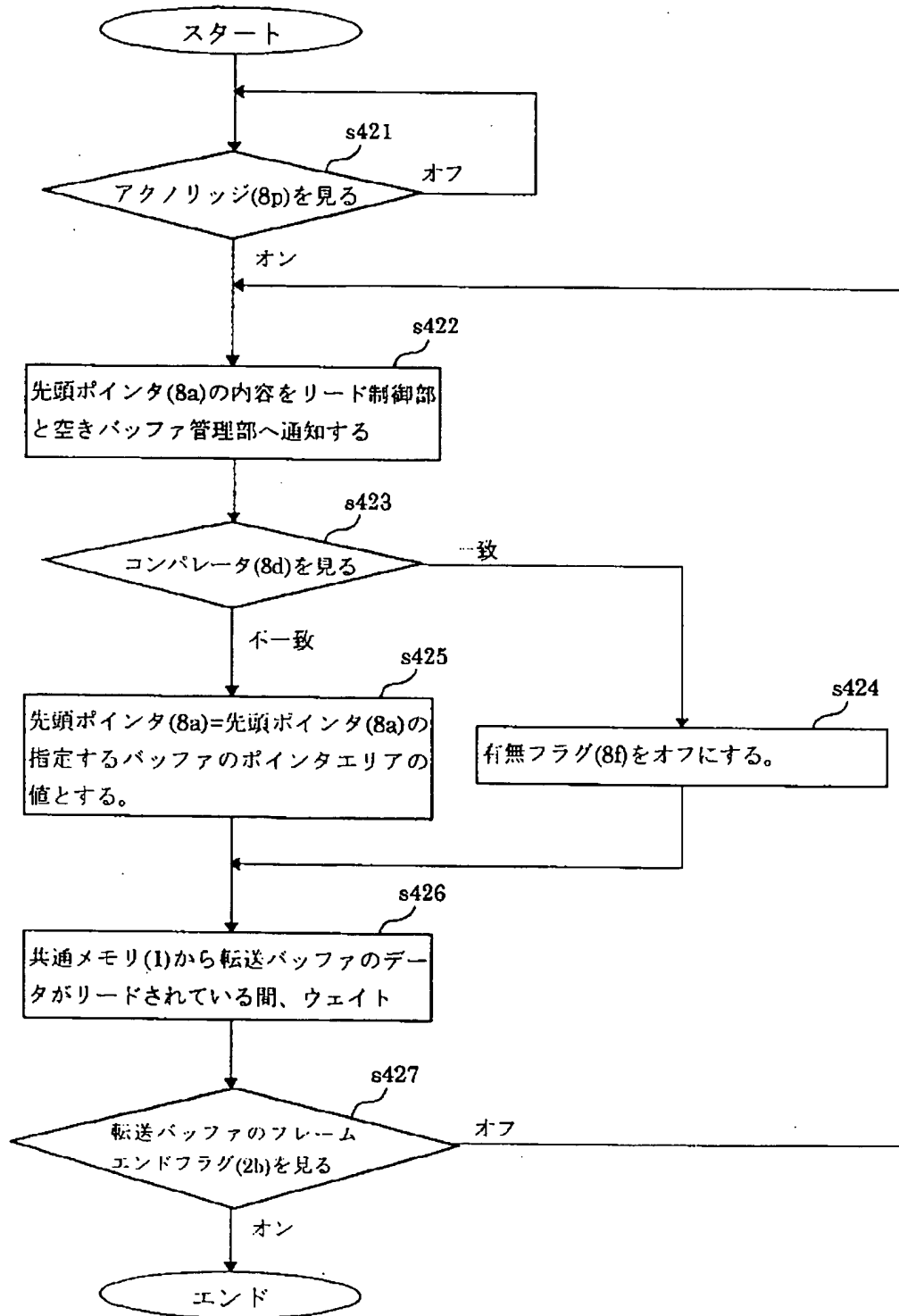
リクエスト受付回路の動作実施例

【図26】



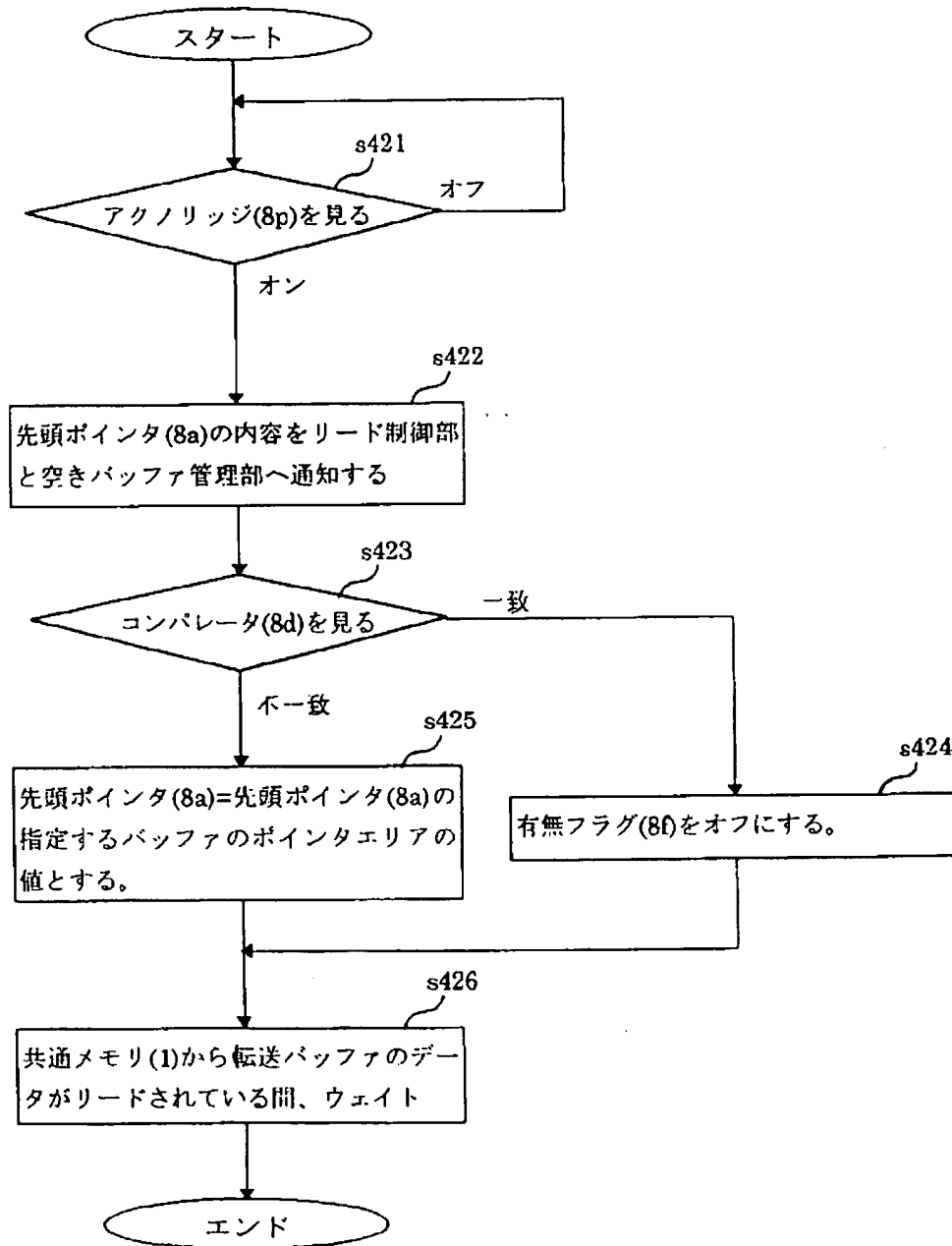
【図27】

(高優先側)



【図28】

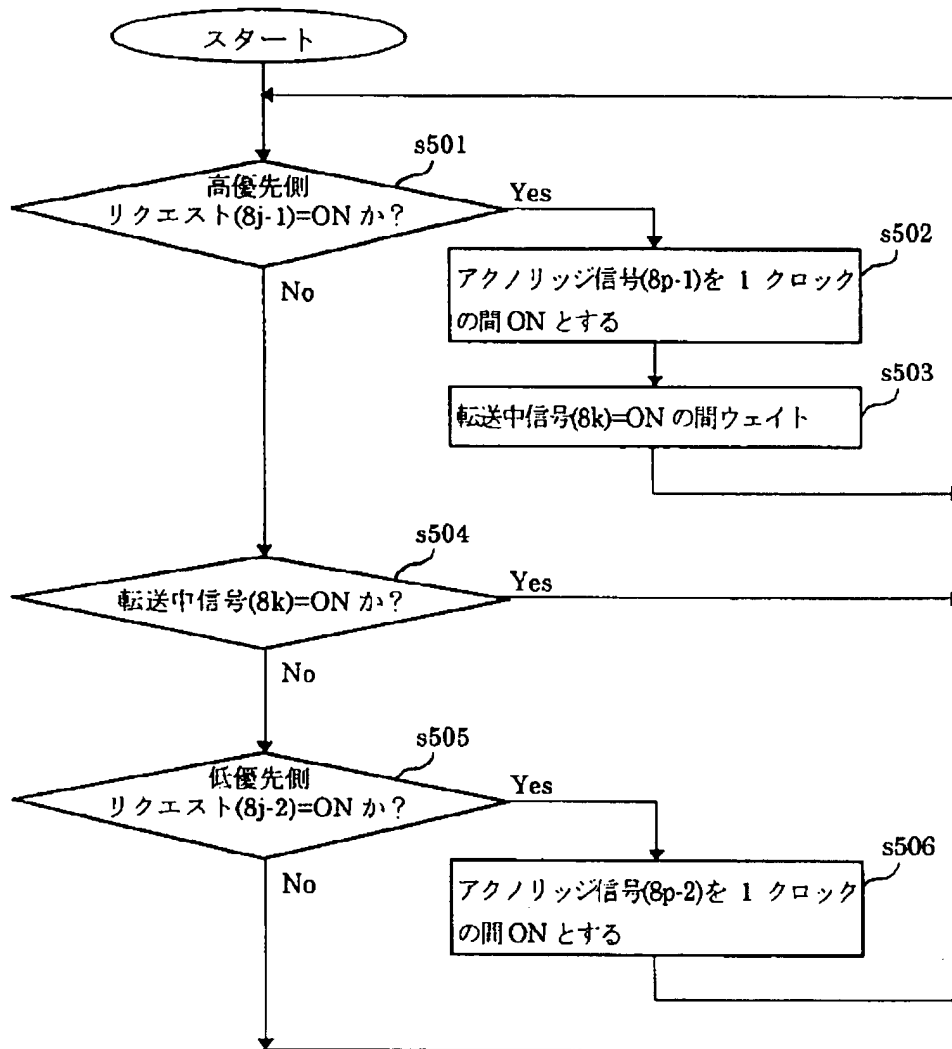
(低優先側)



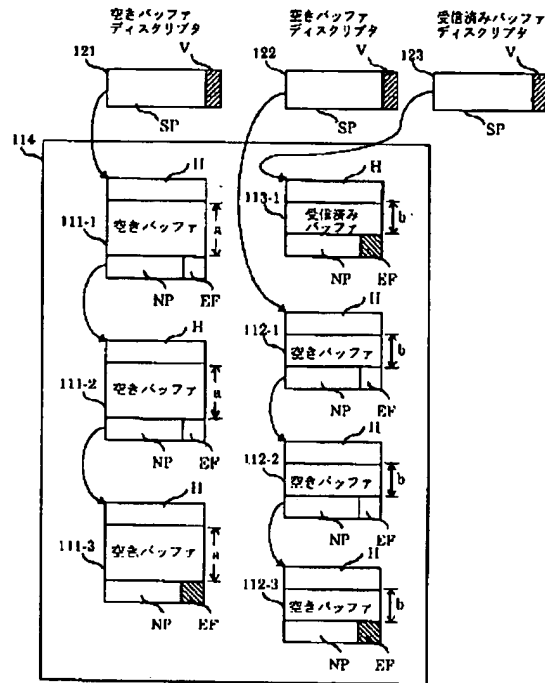


【図31】

## リクエスト受付回路の動作実施例



【図34】



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**